ZEISS

Einplatinenrechner EPR-16

Gebrauchsanleitung

Инструкция по эксплуатации

Operating instructions

Mode d'emploi

Instrucciones para el uso

ZEISS
Einplatinenrechner
EPR-16

Gebrauchsanleitung
Инструкция по эксплуатации
Operating instructions
Mode d'emploi
Instrucciones para el uso

Inhaltsverzeichnis

- Technische Daten	36 04 38:142.25(TB2)	Blatt 1-10
1. Leistungskennwerte	Blatt 2	
2. Anschlußkennwerte	Blatt 5	
3. Schnittstellen	Blatt 6	
4. Konstruktive Kennwerte	Blatt 7	
5. Umgebungsbedingungen	Blatt 7	
6. Schutzkennwerte	Blatt 7	
7. Funktionsnachweis	Blatt 7	
8. Steckverbinderbelegungen	Blatt 8	
- Funktionsbeschreibung	36 04 38:142.25(TB3)	Blatt 1- 9
1. Verwendungszweck	Blatt 2	
2. Funktionseinheiten	Blatt 2	
3. Beschreibung der Schaltung	Blatt 4	
- Nutzeranleitung	36 04 38:142.25(TB4)	Blatt 1-30
1. Allgemeines	Blatt 2	
2. Spannungsversorgung	Blatt 2	
3. Konfigurierung	Blatt 2	
4. Wickelbrücken	Blatt 3	
5. Mapping-Dekoder und EPROM-Plazier.	Blatt 9	
6. Programmierung der E/A-Schaltkr.	Blatt 10	
7. Montage und Installation	Blatt 30	
8. Wartung und Instandhaltung	Blatt 30	
- Schaltteilliste	36 04 38:142.25(SL)	Blatt 1- 3
- Einlagen:		
LP-Bestückung	36 04 38:142.25	
Stromlaufplan	36 04 38:142.25(SP)	Blatt 1- 3

INHALTSVERZEICHNIS

TECHNISCHE DATEN

		Blatt
1.	Leistungskennwerte	2
1.1	Allgemeines	2
1.2	Lokale E/A-Adressen	2
1.3	Lokale Speicherressourcen	3
1.4	Speicher- und E/A-Mapping	3
1.5	Übrige Funktionen	3
2.	Anschlußkennwerte	5
2.1	Energieversorgung	5
2.2	Steckverbinder und Anschlußbelegung	5
3.	Schnittstellen	6
4.	Konstruktive Kennwerte	7
5.	Umgebungsbedingungen	7
6.	Schutzkennwerte	7
7.	Funktionsnachweis	7
8.	Steckverbinderbelegungen	8
8.1	Steckverbinderbelegung X1 (Systembus)	8
8.2	Steckverbinderbelegung X2 (Nebenbus)	9
8.3	Steckverbinderbelegung X3, X4 (PIO 1, 2)	10
8.4	Steckverbinderbelegung X5 (CTC)	10
8.5	Steckverbinderbelegung X6, X7 (USART 1, 2)	10

TECHNISCHE DATEN

1. Leistungskennwerte (ohne 8087)

1.1 Allgemeines

Befehlswortlänge	8...48 bit
Datenwortlänge	8, 16 bit (Byte, Wort)
Zahlendarstellung	Festkomma, Zweierkomplement
Befehlssystem	MMS 16-Befehlssatz (70 Basisbefehle)
Adressierungsarten	30 (einschl. Modifikation)
Direkt adressierbarer Speicherbereich	1 Mbyte, Adr. 0...FFFFFH
E/A-Adressraum	64 Kbyte, Adr. 0...FFFFH

1.2 Lokale E/A-Adressen (hexadezimal):

- PIC 8259 A (Master-PIC)	00C0,C2 oder 00C4,C6
- CTC 8253 (Timer, Zähler)	
Kanal 1	00D0
Kanal 2	00D2
Kanal 3	00D4
Steuerworte	00D6
- USART 1 8251 A (serielle Schnittstelle)	
Daten	00D8 oder 00DC
Steuerworte	00DA oder 00DE
- USART 2 8251 A	
Daten	00E8 oder 00EC
Steuerworte	00EA oder 00EE
- PIO 1 8255 A (parallele Schnittstelle)	
Kanal A	00F8
Kanal B	00FA
Kanal C	00FC
Steuerwort	00FE
- PIO 2 8255 A	
Kanal A	00F0
Kanal B	00F2
Kanal C	00F4
Steuerwort	00F6
- LOCK-Steuerung	
/LOCK-Signal ein	00E0 (OUT-Befehl)
/LOCK-Signal aus	00E0 (IN-Befehl)

Bei den Ein-/Ausgabebefehlen zur LOCK-Steuerung ist der Inhalt des AL-Registers ohne Bedeutung.

1.3 Lokale Speicherressourcen

	Schaltkreis	Kapazität
- 4 Fassungen, 28-polig zur Bestückung mit EPROM	U 2764	32 Kbyte
	U 27 256	128 Kbyte
- 2 Fassungen, 28-polig zur Bestückung mit sRAM	U 6264	16 Kbyte
	U 62 257	64 Kbyte

1.4 Speicher- und E/A-Mapping

Die Aufteilung des Adressraumes auf Nebenbus und Systembus erfolgt mit einem wechselbaren TTL-PROM als Dekoder. Der am Steckverbinder X2 herausgeführte Nebenbus ist mit dem auf der Leiterplatte wirksamen Lokalbus identisch.
Dieser Neben- bzw. Lokalbus bedient alle Speicher- und E/A-Schaltkreise, die sich auf der Leiterplatte und auf eventuellen Erweiterungsplatten befinden.

- Speicheradressen bei 8 Kbyte-Speicherschaltkreisen

sRAM auf dem EPR	0...03FFF
PROM auf dem EPR	F8000...FFFFF
extern über X2 am Nebenbus verfügbarer Speicherbereich	04000...1FFFF
und	F0000...F7FFF
Systembus	20000...EFFFF

- Speicheradressen bei 32 Kbyte-Speicherschaltkreisen

sRAM auf dem EPR	0...0FFFF
PROM auf dem EPR	E0000...FFFFF
extern über X2 am Nebenbus verfügbarer Speicherbereich	10000...1FFFF
Systembus	20000...DFFFF

- E/A-Adressen

Peripherieschaltkreise auf dem EPR	00C0...00FF
extern über X2 am Nebenbus anschließbare Peripherieschaltkreise	0000...00BF
Systembus	0100...FFFF

1.5 Übrige Funktionen

- CPU
  Die Zentraleinheit des EPR besteht aus 8086 (CPU) und optional parallelschaltbarem Arithmetikprozessor 8087 (APU). Die Taktfrequenz beträgt 5 MHz und kann auf maximal 7,5 MHz erhöht werden.

- Systembus MMS 16
  Der Systembus ist über den Steckverbinder X1 herausgeführt. Die Busverwaltung am Systembus erfolgt mit dem Arbiter P 8289 A. Verschiedene Betriebsarten des Arbiters können mit Brücken verdrahtet werden.

- Nebenbus
  Der Nebenbus ist über den Steckverbinder X2 herausgeführt. Daten und Adreßsignale sind high-aktiv.

- Taktversorgung
  Interner Takt 5000,0 kHz zur Versorgung der CPU. /CCLK mit 9830,4 kHz und /BCLK mit wahlweise 9830,4 kHz oder 5000,0 kHz können auf den Systembus geschaltet werden. /CCLK-N liegt fest mit 9830,4 kHz an X2 (Nebenbus).

- RESET
  Das Rücksetzsignal /INIT kann vom Systembus empfangen oder durch eine an X2 angeschlossene Taste erzeugt werden. Es kann auch an den Systembus gesendet werden. /INIT-N liegt fest als Ausgangssignal an X2 (Nebenbus). Reset erfolgt auch stets beim Einschalten der Versorgungsspannung.

- Wartetakte
  Bei Systembuszugriff wird die Zahl der Wartetakte durch das Signal /XACK bestimmt.
  Arbeitet die CPU am Nebenbus, haben die Kommandosignale folgende Länge (/MRDC-N und /MWTC-N durch Brücken einstellbar):

/IORC-N, /IOWC-N und /INTA-N	600 ns
/MRDC-N	400 ns oder 600 ns
/MWTC-N	200 ns oder 400 ns.

- Taktfrequenz für CTC
  1,23 MHz, an Kanal 3 fest verschaltet und an Kanäle 1 und 2 durch Wickelbrücken verdrahtbar.

- Interruptsystem
  Auf dem EPR ist ein Master-PIC 8259 A vorhanden. Über X2 sind am Nebenbus bis zu 4 Slave-PICs anschließbar und damit busvektorisierter Interrupt möglich. Am Systembus ist nur nicht-busvektorisierter Interrupt (NBVM) über Sammelsignale /INTn realisierbar.
  Nichtmaskierbarer Interrupt (NMI) kann vom Nebenbus oder vom Systembus empfangen werden.
  Die Eingänge IRQ1 bis IRQ8 des PIC können mit Hilfe eines Wickelfeldes frei verdrahtet werden. Folgende Signale, die mit einem Wickelstift versehen sind, können als Interruptquelle dienen, bzw. auch NMI auslösen:

PIO 1	Ausgänge C0 und C3
PIO 2	Ausgänge C0 und C3 Ein- und Ausgänge A0 bis A7 und B0 bis B7
USART 1 und USART 2	Ausgänge TxRDY und RxRDY
CTC	Ausgänge O1, O2 und O3
APU	Ausgang INT
Systembus	Signale /INT0,...,/INT7 (hiervon max. 3 Signale nutzbar)
Nebenbus	Signale INT0-N, INT1-N, INT2-N und INT3-N (diese Signale sind auch für den Anschluß der Slave-PICs verwendbar).

Von den als Interruptquellen in Frage kommenden Signalen können zwei über Negatoren 7406 als /INTn auf den Systembus gegeben werden. Weiterhin sind ein 8-fach ODER und vier 2-fach ODER mit Wickelstiften versehen, um mehrere Interruptquellen zusammenzufassen.

- WAIT-Steuerung
  An X1 und an X2 ist je ein Eingang für Schrittbetrieb (/STOP und /STOP-N) vorhanden.

- Vorselektierung
  Zur Speicher- und Peripherieerweiterung am Nebenbus sind folgende Sammelsignale herausgeführt:

  an X2:A5 RAMSØ = S2(/S1*/SØ+S1*/SØ+/S1*SØ)*/A16*/A17*/A18*/A19
  an X2:B5 RAMS1 = S2(/S1*/SØ+S1*/SØ+/S1*SØ)* A16*/A17*/A18*/A19
  an X2:C5 PROMS = S2(/S1*/SØ+S1*/SØ+/S1*SØ)* A16* A17* A18* A19
  an X2:A6 EASEL = /S2*(/S1*SØ+S1*/SØ)*
  /A8/A9*/A10*/A11*/A12*/A13*/A14*/A15

  Diese Signale können zur CS-Bildung für externe Speicher- und Peripherieschaltkreise verwendet werden. SØ, S1 und S2 sind die Statussignale der CPU, A8 bis A19 sind Adreßbits des lokalen Busses in dezimaler Zählweise.

2. Anschlußkennwerte

2.1 Energieversorgung

Nennspannung V	Grenzwerte min. V	Grenzwerte max. V	Stromaufnahme max. A
+ 5	+ 4,9	+ 5,2	3,Ø
+ 12	+ 11,8	+ 12,5	Ø,1

Beide Versorgungsspannungen können über X1 oder X2 zugeführt werden. Es ist jedoch nicht zulässig, die Spannungszuführung so zu verschalten, daß sie von System- und Nebenbus gleichzeitig erfolgt.

2.2 Steckverbinder und Anschlußbelegung

- Rückverdrahtungsseite:
  X1 Systembus MMS 16, Steckerleiste C96-1Ø2 TGL 43887
  Anschlußbelegung siehe 8.1
  X2 Nebenbus EPR-16, Steckerleiste C96-1Ø2 TGL 43887
  Anschlußbelegung siehe 8.2

- Griffseite:

X3	paralleles Interface PIO 1 Buchsenleiste 203-25 EBS-GO 4006/01-2V
X4	paralleles Interface PIO 2 Buchsenleiste 203-25 EBS-GO 4006/01-2V
X5	Anschlüsse des Zähler/Zeitgeber CTC Buchsenleiste 201-9 EBS-GO 4006/01-2V
X6	Interface IFSS des USART 1 Buchsenleiste 201-9 EBS-GO 4006/01-2V
X7	Interface IFSS des USART 2 Buchsenleiste 201-9 EBS-GO 4006/01-2V

Anschlußbelegungen siehe 8.3 bis 8.5.

3. Schnittstellen

- 2 serielle Schnittstellen IFSS nach TGL 42 886

Übertragungsart:	Duplex, asynchron, Stromschleife 20 mA, je eine Sende- und eine Empfangsschleife, beide aktiv und passiv schaltbar.
Schutz:	galvanische Trennung über Optokoppler
Baudrate:	maximal 19,2 kBaud, beide Schnittstellen können mit unterschiedlicher Baudrate betrieben werden.
Kabellänge:	maximal 500 m bei 9,6 kBaud paarweise verdrillte, abgeschirmte Leitung, max. 200 Ohm je Leitungspaar.
direkte Übertragung:	mit der Schnittstelle USART 2 (X7) ist bei Änderung der Bestückung synchrone Übertragung bis 64 kBaud im TTL-Pegel möglich.

- 2 parallele Schnittstellen

Schaltungsart:	jede Schnittstelle besteht aus einer PIO KR 580 WW 55 A; alle 24 E/A-Pins der PIO sind ungepuffert an einen 25-poligen Steckverbinder geführt.
Übertragungsart:	Eingabe oder Ausgabe, mit oder ohne Handshake-Betrieb, wird durch die Programmierung bestimmt.
Belastung der Ausgänge:	1 TTL-Last; insgesamt 8 Ausgänge, von Kanal B und C beliebig ausgewählt, können bei 1,5 V einen Strom von 1 mA liefern.
Kabellänge:	max. 10 m, Fernmeldeplastschlauchleitung; für Störfestigkeit ist durch gute Masseübertragung und Abschirmung zu sorgen. Näheres ist der Zentralen Bauelemente-Information Nr. 18/81 zu entnehmen.

- Zähler/Zeitgeber
  besteht aus einem CTC KR 580 WI 53; Kanäle 1 und 2 sind allgemein als Zähler oder Zeitgeber verwendbar, bei Zeitgeberbetrieb beträgt die Taktfrequenz 1,23 MHz, Kanal 3 nur als Zeitgeber, wenn keine seriellen Schnittstellen betrieben werden.

4. Konstruktive Kennwerte

Mehrlagenleiterplatte mit den Abmessungen
233,4 mm x 160 mm (Doppeleuropaformat)

Zulässiges Steckraster min. 20,32 mm

5. Umgebungsbedingungen

Die Module sind wie folgt klassifiziert:

EK3/TK1/GO2/S21/TM1,2,3,4 TGL 26 465

Die Einsatzklasse EK3 ist im Finalprodukt durch geeignete konstruktive Lösungen, z.B. durch Zwangsbelüftung, zu gewährleisten.

6. Schutzkennwerte

- Schutzklasse 0 TGL 21 366
- Schutzgrad IP 00 TGL RGW 778

Die Anforderungen bezüglich Schutzgüte, Funkentstörklasse und Störbeeinflussung sind durch geeignete konstruktive und schaltungstechnische Maßnahmen im Finalerzeugnis zu realisieren.

7. Funktionsnachweis

Die Steckeinheiten nach 360438:142.25 sind In-circuit-getestete, multivalente und unkonfigurierte Basismodule. Der Funktionsnachweis erfolgt nach der gerätespezifischen Konfigurierung mittels dynamischem Funktionstest.

8. Steckverbinderbelegungen

8.1 Steckverbinderbelegung X1 (Systembus)

.	a	b	c .
1	/MRDC	/BCLK	/IORC
2	/MWTC	GND	/IOWC
3	/BRPN	/BUSY	-
4	/BPRO	/CBRQ	/BREQ
5	-	-	-
6	-	GND	-
7	/INT0	/INT1	/INT2
8	/INT3	/INT4	/INT5
9	/INT6	GND	/INT7
10	-	/XACK	/INIT
11	+5 V	/STOP	/NMI
12	+5 V	+12 V	+12 V
13	-	GND	-
14	+5 V	-	-
15	+5 V	-	-
16	/ADR0	/ADR1	/ADR2
17	/ADR3	GND	/ADR4
18	/ADR5	/ADR6	/ADR7
19	/ADR8	/ADR9	/ADRA
20	/ADRB	GND	/ADRC
21	/ADRD	/ADRE	/ADRF
22	/ADR10	/ADR11	/ADR12
23	/ADR13	GND	-
24	-	-	+5 V
25	-	/BHEN	+5 V
26	/LOCK	GND	/CCLK
27	/DAT0	/DAT1	/DAT2
28	/DAT3	/DAT4	/DAT5
29	/DAT6	GND	/DAT7
30	/DAT8	/DAT9	/DATA
31	/DATB	/DATC	/DATD
32	/DATE	GND	/DATF

Die Signale /INTA, /INH1, /INH2, /ADR14, /ADR15, /ADR16 und /ADR17 sind beim EPR-16 nicht vorhanden. Mit dem Signal /STOP kann jeder Maschinenzyklus beliebig verlängert werden. Das Signal /NMI geht als nichtmaskierbarer Interrupt auf die CPU.

8.2 Steckverbinderbelegung X2 (Nebenbus)

.	a	b	c .
1	/MRDC-N	-	/IORC-N
2	/MWTC-N	GND	/IOWC-N
3	/PROMDIS	-	/INTA-N
4	-	-	/RESET
5	RAMS0	RAMS1	PROMS
6	EASEL	GND	-
7	INT0-N	INT1-N	INT2-N
8	INT3-N	-	-
9	-	GND	-
10	-	-	/INIT-N
11	+5 V	/STOP-N	/NMI-N
12	+5 V	+12 V	+12 V
13	-	GND	-
14	+5 V	-	-
15	+5 V	-	-
16	ADR0-N	ADR1-N	ADR2-N
17	ADR3-N	GND	ADR4-N
18	ADR5-N	ADR6-N	ADR7-N
19	ADR8-N	ADR9-N	ADRA-N
20	ADRB-N	GND	ADRC-N
21	ADRD-N	ADRE-N	ADRF-N
22	ADR10-N	ADR11-N	ADR12-N
23	ADR13-N	GND	-
24	CAS0	CAS1	+5 V
25	CAS2	/BHE-N	+5 V
26	-	GND	/CCLK-N
27	DAT0-N	DAT1-N	DAT2-N
28	DAT3-N	DAT4-N	DAT5-N
29	DAT6-N	GND	DAT7-N
30	DAT8-N	DAT9-N	DATA-N
31	DATB-N	DATC-N	DATD-N
32	DATE-N	GND	DATF-N

Erläuterungen:

ADR0-N,...,ADR13-N	Adressen des Nebenbus, high aktiv
DAT0-N,...,DATF-N	Daten des Nebenbus, high aktiv
/BHE-N	low-aktiv, wenn eine ungerade Adresse oder ein Datenwort übertragen wird.
/PROMDIS	Signal für Prüfzwecke
/RESET	Anschluß für eine RESET-Taste (Schließer nach Masse)
RAMS0, RAMS1, PROMS, EASEL	Selektierungssignale, high aktiv, siehe 1.5
INT0-N,...,INT3-N	Interruptsignale, high-aktiv
/INIT-N	Rücksetzsignal für EPR-Erweiterungen am Nebenbus, Ausgang, low-aktiv
/STOP-N	hält die CPU am Nebenbus im Wartezustand, Eingang, low-aktiv
/NMI-N	geht als nichtmaskierbarer Interrupt auf die CPU, Eingang, low-aktiv
CAS0, CAS1, CAS2	Signale der Kaskadierungsadresse, direkt vom Master-PIC, Ausgänge, high-aktiv

```
*****************************************************************
*                                        * BL.-NR. *            *
*                                        *         *            *
*        36 04 38 : 142.25 (TB2)(4)      *    9    *            *
*                                        *         *            *
*****************************************************************
```

8.3 Steckverbinderbelegung X3, X4

geschirmte Subminiatur-Steckverbinder 25-polig für PIO 1 und PIO 2

Kontakt-Nr.	PIO-Signal	Kontakt-Nr.	PIO-Signal
1	Kanal A, pin 0	24	Kanal B, pin 5
14	Kanal A, pin 1	12	Kanal B, pin 6
2	Kanal A, pin 2	25	Kanal B, pin 7
15	Kanal A, pin 3	5	Kanal C, pin 0
3	Kanal A, pin 4	18	Kanal C, pin 1
16	Kanal A, pin 5	6	Kanal C, pin 2
4	Kanal A, pin 6	19	Kanal C, pin 3
17	Kanal A, pin 7	7	Kanal C, pin 4
9	Kanal B, pin 0	20	Kanal C, pin 5
22	Kanal B, pin 1	8	Kanal C, pin 6
10	Kanal B, pin 2	21	Kanal C, pin 7
23	Kanal B, pin 3	13	GND
11	Kanal B, pin 4		

8.4 Steckverbinderbelegung X5

geschirmter Subminiatur-Steckverbinder 9-polig für CTC

Kontakt-Nr.	CTC-Signal
2	Kanal 1, Gate
1	Kanal 1, Takt
6	Kanal 1, Ausgang
4	Kanal 2, Gate
3	Kanal 2, Takt
7	Kanal 2, Ausgang
8	Kanal 3, Ausgang
5, 9	GND

8.5 Steckverbinderbelegung X6 und X7

geschirmte Subminiatur-Steckverbinder 9-polig für serielle Schnittstellen (USART 1 und USART 2)

Kontakt-Nr.	Signal	Richtung	Funktion
2	ED+	Ausgang	} Empfangsschleife
7	ED-	Eingang	} IFSS
6	SD+	Ausgang	} Sendeschleife
1	SD-	Eingang	} IFSS
4			Wickelstift
5			Wickelstift
9			Abschirmung

Die Anschlüsse 4 und 5 sind unmittelbar neben dem Steckverbinder auf einen Wickelstift geführt, für Spezielle Benutzung vorgesehen.

INHALTSVERZEICHNIS

FUNKTIONSBESCHREIBUNG

		Blatt
1.	Verwendungszweck	2
2.	Die Funktionseinheiten	2
2.1	Zentraleinheit	2
2.2	Nebenbus	2
2.3	Systembus	3
2.4	Mapping-Logik	3
2.5	Takt, Ready und Reset	3
2.6	Speicher	4
2.7	E/A-Schaltkreise	4
2.8	Interruptschaltung	4
3.	Beschreibung der Schaltung	4
3.1	CPU, Takterzeugung und Reset	4
3.2	Erzeugung der Bereitschaftssignale	5
3.3	Der Systembus MMS 16	6
3.4	Der interne Nebenbus	7
3.5	Mapping-Logik	7
3.6	Festwert- und Arbeitsspeicher	8
3.7	Ein-/Ausgabeschaltung	9
3.8	Interruptschaltung	9

1. Verwendungszweck

Der 16-Bit-Einplattenrechner EPR-16 kann als selbständiger Mikrorechner ohne Ergänzungseinheiten arbeiten. Er dient in Geräten zur Durchführung von Steuervorgängen und Berechnungen. Dabei tritt er mit der übrigen Geräteelektronik über serielle und parallele Schnittstellen, sowie zwei Zählkanäle in Verbindung. Wenn die auf dem EPR-16 vorhandenen Speicher und Ein-Ausgabe-Schaltkreise nicht ausreichen, kann der Funktionsumfang des Rechners durch maximal 2 Erweiterungsplatten ergänzt werden. Diese Erweiterungsplatten sind für den jeweiligen Bedarf speziell zu erstellen. Die Verbindung von EPR und Erweiterungsplatten erfolgt über den Nebenbus. Der Nebenbus ist dem Residentbus ähnlich.
Weiterhin kann der EPR über den Steckverbinder X1 an einen Systembus MMS16 mit anderen Master- und Slave-Einheiten zusammenarbeiten. Er kann dabei Takt und Reset liefern und somit als Steuermaster arbeiten.

2. Die Funktionseinheiten

2.1 Zentraleinheit

Die Zentraleinheit des EPR besteht aus CPU (8086) und optional parallelschaltbarem Arithmetikprozessor APU (8087). Beide arbeiten am lokalen Bus und übernehmen automatisch die für sie zuständigen Befehle. Liegt ein ESC-Befehl an, übernimmt die APU die Bearbeitung. Dieser Wechsel in der Befehlsausführung tritt für den Anwender nach außen nicht in Erscheinung.

2.2 Nebenbus

Am Nebenbus befinden sich alle lokalen Speicher- und E/A-Schaltkreise. Der Adreßbus wird verkörpert durch 3 Latch-Schaltkreise für die Adressen- und Statussignale; 5 Bustreiber bilden den zugehörigen Datenbus, davon verbinden 2 Treiber die CPU mit dem Nebenbus, 2 Treiber verbinden die Speicherschaltkreise und 1 Treiber die E/A-Schaltkreise mit dem Nebenbus. Die Kommandosignale werden von einem Buscontroller 8288 erzeugt. Der Nebenbus ist über den Steckverbinder X2 herausgeführt. Mittels einer Busleiterplatte mit 3 Steckplätzen können 2 Erweiterungsplatten am EPR-Nebenbus betrieben werden. Am Nebenbus ist über X2 der Anschluß von maximal 4 Slave-PICs und damit busvektorisierter Interrupt möglich. Eine READY-Schaltung legt eine einheitliche Länge der Kommandosignale fest, auch für Erweiterungsplatten am Nebenbus. Das Signal /XACK fehlt also. Sollen die Kommandosignale verlängert werden, ist dies über den Eingang /STOP-N (low-aktiv) möglich. Adreß- und Datensignale sind high-aktiv, also nicht negiert. Es erfolgt kein Swap-Betrieb.

2.3 Systembus MMS 16

Der Systembus ermöglicht dem EPR, mit anderen Mastern zusammenzuarbeiten. Es kann eine Busleiterplatte mit 21 Steckplätzen betrieben werden.
Drei negierende Latch-Schaltkreise und 3 negierende Treiber speisen den Adreß- und Datenbus. Es erfolgt Swap-Betrieb, d.h. Byte-Übertragungen mit einer ungeraden Adresse gehen über den low-Teil des Datenbusses. Ein zweiter Buscontroller 8288 erzeugt für den Systembus die Kommandosignale. Ein Busarbiter 8289 sorgt im Zusammenspiel mit anderen Mastern für den ordnungsgemäßen Zugriff auf den Systembus. Das Entscheidungssignal, ob Nebenbus- oder Systembuszugriff erfolgen soll, erhält der Arbiter vom Mapping-Dekoder. Die Länge der Buszugriffe wird vom angeschlossenen Slave über das Signal /XACK bestimmt. Am Systembus ist <u>kein</u> busvektorisierter Interrupt möglich. Die Signale /CCLK, /BCLK und /INIT kann der EPR sowohl vom Systembus empfangen als auch an den Systembus senden.
Der EPR kann das Signal /LOCK auf den Systembus geben. Dieses Signal liefert die CPU bei einem LOCK-Präfix im Befehl und veranlaßt den Arbiter, bei einer Blockübertragung den Bus nicht abzugeben. Außerdem kann das /LOCK-Signal durch Hardware willkürlich gesetzt werden. Dadurch wird es möglich, daß während einer Blockübertragung von der CPU ein Interrupt bearbeitet werden kann, ohne daß der Systembus abgegeben werden muß.
Der Systembus befindet sich am Steckverbinder X1.

2.4 Mapping-Logik

Mit dieser Schaltung wird bei jedem Zyklus anhand der Adressen- und Statussignale entschieden, ob Nebenbus- oder Systembuszugriff erfolgen soll. Die Schaltung besteht aus einem TTL-PROM MH 74 S 287, ergänzt durch einige Gatter und Negatoren. Außer dem Entscheidungssignal werden Vorselektierungssignale für Speicher- und E/A-Schaltkreise erzeugt.

2.5 Takt, Ready und Reset

Der systemeigene Takt von 5 MHz wird vom Taktgenerator 8284 erzeugt. Dieser Schaltkreis liefert außerdem ein für CPU und APU synchrones READY-Signal. Rücksetzen beim Einschalten der Versorgungsspannung und durch angeschlossene Taste erfolgt ebenfalls durch diesen Schaltkreis. Bei Verwendung einer schnelleren CPU kann die Taktfrequenz bis auf 7,5 MHz erhöht werden (Quarzfrequenz 22,5 MHz erforderlich).
Ein zweiter Taktgenerator liefert eine Frequenz von 9,83 MHz zur Bereitstellung von /CCLK und /BCLK. Durch 4- und 8-fache Untersetzung werden hieraus 2,46 MHz und 1,23 MHz erzeugt. Diese Frequenzen werden zum Betrieb der seriellen Schnittstellen benötigt.

2.6 Speicher

Der Speicher besteht aus 4 EPROM- und 2 sRAM-Schaltkreisen. Der Adreßbereich ist festgelegt und nicht verschiebbar.
Zwei Dekoder und zwei Datentreiber stellen den Anschluß zum Nebenbus her.

2.7 E/A-Schaltkreise

Zur Kommunikation des EPR mit der Geräteelektronik dienen Peripherieschaltkreise. Zwei PIOs (KR 580 WW 55 A) mit je 24 bit liefern parallele Schnittstellen: Eingabe, Ausgabe oder bidirektional (mit oder ohne Handshake-Betrieb).
Zwei USARTs (KR 580 WW 51 A) liefern je eine serielle Schnittstelle mittels 20 mA-Stromschleife. Sender und Empfänger arbeiten über Optokoppler. Ein CTC (KR 580 WI 53) stellt den Takt für die seriellen Schnittstellen bereit. Vom Anwender sind 2 Zählkanäle mit je 16 bit beliebig als Zähler oder Zeitgeber nutzbar.
Alle Peripherieschaltkreise sind über einen gemeinsamen Dekoder und einen Datentreiber an den Nebenbus angeschlossen.

2.8 Interruptschaltung

Zur Interruptbehandlung dient ein Interruptcontroller (PIC, 8259 A). Dieser ist grundsätzlich als Master-PIC geschaltet. Über den Nebenbus-Steckverbinder X2 können maximal 4 Slave-PICs angeschlossen werden. Da der PIC 8 Interrupteingänge besitzt, sind somit insgesamt (4x8)+4=36 vektorisierte Interruptebenen möglich. Weiterhin können durch Nutzung der vorhandenen ODER-Gatter mehrere Interruptquellen zu einer Vektorebene zusammengefaßt werden. Damit können bei voller Ausnutzung der Schaltung 48 Interruptquellen bedient werden.

3. Beschreibung der Schaltung

3.1 CPU, Takterzeugung und Reset

Kernstück des EPR-16 ist die CPU 8086 (D33). Der CPU kann der schnelle Arithmetikprozessor APU 8087 (D34) parallelgeschaltet werden. Der multiplexe Adreß-/Datenbus und der Steuerbus beider Schaltkreise sind direkt miteinander verbunden. Der wechselseitigen Busübernahme durch einen der beiden Schaltkreise dient die Verbindung D33/30 - D34/31 (BRQ/GT2 - BRQ/GT1). Die Verbindung D33/23 - D34/23 (WAIT - BSY) dient der Synchronisierung beider Schaltkreise, wenn die CPU mit der weiteren Bearbeitung erst fortfahren kann, nachdem ein Rechenergebnis aus der APU vorliegt. Die Signale Takt (C), Rücksetzen (R) und Bereitschaft (RDY) erhalten CPU und APU vom Taktgenerator 8284. Das erfolgt über die Verbindungen D25/8 - D33/19 - D34/19, D49/3 - D33/21 - D34/21 und D10/5 - D33/22 - D34/22. Der Taktgenerator 8284 (D25) ist an den Eingängen 16 und 17 mit

16 und 17 mit einem Quarz 15 MHz (CQ1) beschaltet und liefert damit eine Rechner-Taktfrequenz von 5,0 MHz. Ein Rücksetzen des Rechners erfolgt beim Einschalten der Versorgungsspannung. Dazu dient das RC-Glied R3/C19 an D25/11. Bei kurzen Spannungseinbrüchen, die den Rechner außer Tritt bringen, besorgt die Diode V1 ein schnelles Entladen von C19 und damit nach Rückkehr der Spannung ein neues RESET. Über R2 und X2:C4 kann eine externe Taste (Schließer nach Masse) angebracht werden, mit der ein manuelles Rücksetzen möglich ist. An D25/10 steht ein sauber synchronisiertes RESET-Signal zur Verfügung. Über D48/8, D49/3 und D28/2 gelangt das RESET-Signal an die entsprechenden Schaltkreise und als /INIT-N an X2:C10 zur Initialisierung der Erweiterungsplatten am Nebenbus. Über D46/2 kann das /RESET-Signal als /INIT auf den Systembus geschaltet werden. Außerdem wird ein /INIT, welches vom Systembus kommt, über den Eingang D49/1 empfangen und löst ebenfalls ein internes Rücksetzen aus.
Ein zweiter Taktgenerator, bestehend aus 1/2 D28, C26, R10, R11 und CQ2 liefert eine Frequenz von 9830,4 kHz, die über das Leistungsgatter D27/6 als /CCLK (Konstanttakt) auf den Systembus geschaltet werden kann. Diese Frequenz wird mittels D44 auf 2457,6 kHz untersetzt und als Arbeitstakt an USART 1 und USART 2 gegeben. Nach einer weiteren Untersetzung auf 1228,8 kHz gelangt diese Frequenz als Zeitgebertakt an den Kanal 3 des CTC (D54/18). Die Frequenz 9,83 MHz wird außerdem als /CCLK-N über das Gatter D26/3 fest auf den Nebenbus geschaltet.
Als /BCLK (Bustakt) kann wahlweise über das Leistungsgatter D27/8 der interne 5 MHz-Takt oder der 9,83 MHZ-Takt auf den Systembus geschaltet werden.

3.2 Erzeugung der Bereitschaftssignale RDY

Der Schaltkreis D25 (Taktgenerator 8284) besitzt für das Signal RDY (READY) zwei gleichberechtigte Eingänge, zuständig für Systembus und Nebenbus. Jeder Eingang kann mit einem zweiten Eingang /EA1, /EA2 aktiviert werden. Das RDY-Signal, welches vom Systembus kommt, wird über D32/13 aus dem Systembus-Signal /XACK erzeugt. Das zugehörige Aktivierungssignal am Eingang D25/7 liefert der Busarbiter 8289. Über den Negator D48/12 kann das RDY-Signal blockiert werden. Damit ist eine schrittweise Abarbeitung am Systembus möglich. Arbeitet der EPR am Nebenbus, ist an D25/4 das RDY ständig aktiv, außer bei Schrittbetrieb über den Eingang X2:B11 (/STOP-N). Die READY-Steuerung erfolgt über den zugehörigen Aktivierungseingang D25/3. Dieses Signal /EA1 erzeugt eine Logik, bestehend aus D-FF D31, D37/6, D43/3 und D43/8. Bei entsprechender Brückenbelegung an XB11 und XB12 wird das Signal /EA1 über das Gatter D43/6 unmittelbar aus den Kommandosignalen /MRDC-N, /MWTC-N oder /AMWC-N erzeugt. Da /MWTC-N erst nach der Rückflanke von T2 aktiv ist, wird hier ein Wartetakt eingeschoben.
Die Kommandosignale /MRDC-N (nur wenn XB11 offen), /IORC-N, /IOWC-N und /INTA-N werden über D37/6 an das Flipflop D31 geführt. Dieses Flipflop übernimmt ein aktives Kommandosignal mit der nächstfolgenden Taktrückflanke (Negation des Taktes durch D48/4). Das jeweilige Kommandosignal erscheint also um einen Takt verzö-

gert am Eingang D43/10. Die Kommandosignale haben dadurch eine Länge von 600 ns. C36 sichert die erforderliche Haltezeit am D-Eingang des Flipflop. Nachdem das Kommandosignal inaktiv wird, wird das Flipflop über den Eingang D31/1 sofort rückgesetzt. Erweiterungsplatten an X2 können die Kommandosignale nach Bedarf über den Eingang /STOP-N verlängern.

3.3 Der Systembus MMS 16

Der Systembus, der an X1 herausgeführt ist, wird durch folgende Schaltung realisiert:

D17 - Buscontroller 8288, liefert die erforderlichen Kommandosignale für den Systembus. Seine Aktivierung erfolgt durch das Signal /EA (D16/13 - D17/6) vom Busarbiter.

D16 - Busarbiter 8289, erledigt die Busverwaltung bei Multimasterbetrieb am Systembus. Dazu liefert er die Signale /BPRO, /BUSY, /BREQ und /CBRQ. Mit seinem Ausgangssignal /EA schaltet er Adreßtreiber (D13 - D15), Buscontroller und READY-Logik (D25/7) des Systembus aktiv. Über seinen Eingang MCSB erhält er von der Mapping-Logik die Aufforderung zu einem Systembuszugriff (Verbindung D28/10 - D16/3).

D13, D14, D15 - Portschaltkreise DS 8283, übernehmen die Adresse vom multiplexen, lokalen Bus der CPU und speichern diese für den Systembus ab. Als Strobe dient das Signal EAL vom Buscontroller (D17/5).

D10, D11, D12 - Bustreiber DS 8287, übertragen die Daten vom und zum Systembus.

D32/1 - DL 002, dieses Gatter erzeugt das spezifische Systembussignal /BHEN aus dem internen /BHE und dem Adreßbit A0 der CPU.

D48/10, D47/8, D48/2 und D49/8 - diese Logik steuert den Swap-Betrieb des Datenbusses nach folgendem Schema:

a) Übertragung eines Bytes mit gerader Adresse auf dem Low-Teil des Datenbusses oder Übertragung eines Datenwortes.
   - Das über D48/2 negierte Adressenbit /NA0 und das Aktivierungssignal ED vom Buscontroller liegen an D49/9 und 10 an. Damit wird D49/8 low, die Treiber D10 und D12 werden aktiv geschaltet.

b) Übertragung eines Bytes mit ungerader Adresse vom Low-Teil des Datenbusses auf den High-Teil des CPU-Busses (Swap Betrieb).
   - Das negierte Adressenbit /NA0 ist jetzt low, ebenfalls der Ausgang D48/10. Damit wird D47/8 low und der Swap-Treiber D11 aktiv geschaltet.

Die Richtung der Datentreiber wird in allen Fällen durch das Signal DR vom Buscontroller gesteuert.

Der EPR besitzt eine Schaltung zur /LOCK-Steuerung. Diese ist notwendig, wenn bei Blockübertragungen am Systembus ein Interrupt zugelassen werden soll. Bei einer Blockübertragung verhindert das LOCK-Präfix die Busabgabe an einen anderen Master. Wenn jedoch während einer Blockübertragung ein Interrupt erfolgt, geht die Wirkung des LOCK-Präfix verloren. Für diesen Fall kann mit einem OUT-Befehl auf Adresse EØH das Flipflop D31/9 gesetzt werden. Damit wird am Ausgang D43/3 Low-Pegel gehalten. Arbiter und Systembus erhalten /LOCK = low, und die Busabgabe wird verhindert. Mit einem IN-Befehl wird das LOCK-FF wieder rückgesetzt. Über die Eingänge D31/11 und 12 wird das Flipflop bei RESET rückgesetzt.

3.4 Der interne Nebenbus

Der Nebenbus wird durch folgende Schaltkreise realisiert:

D24 - Buscontroller 8288, liefert die Kommandosignale für den Nebenbus.

D6, D7 - Latch-Schaltkreise DS 8282, übernehmen die Adresse vom lokalen CPU-Bus und speichern sie ab für Operationen auf dem Nebenbus.

D8 - Latch K 531 IR 22; zur Abspeicherung der vier höchstwertigen Adressenbits, /BHE und der Statussignale. D8 muß ein schneller Schaltkreis sein, da aus den Signalen die Entscheidung Systembus/Nebenbus gewonnen wird.

D4, D5 - Bustreiber DS 8286 zur Datenübertragung zwischen Nebenbus und CPU. Auf dem Nebenbus erfolgt kein Swap-Betrieb. Aktivierung und Richtung der Datentreiber werden vom Buscontroller gesteuert.

3.5 Mapping-Logik

Im Takt T1 liefert die CPU Adressen und Statussignale. Diese Signale werden in jedem Fall vollständig in den Latch-Schaltkreisen D6, D7 und D8 abgespeichert. Der angeschlossene D9 (TTL-PROM, MH 74 S 287) erzeugt daraus folgende Ausgangssignale:

```
  O1 = (SØ*/S1*/S2)+(/SØ*S1*/S2)
 /O2 = ADR1Ø*ADR11*ADR12*ADR13*(/SØ+/S1)*S2
       (ADR1Ø entfällt bei PROM 32k x 8 bit)
 /O3 = /ADR11*/ADR12*/ADR13*(/SØ+/S1)*S2
 /O4 = (/SØ*/S1*/S2)+(SØ*S1*/S2)+(SØ*S1*S2)
```

Aus diesen Gleichungen wird erkennbar:

O1 wird high-aktiv bei jedem Ein-/Ausgabe-Zyklus,

/O2 wird low-aktiv bei einem Speicherzugriff im oberen Adressenbereich (PROM),

/O3 wird low-aktiv bei einem Speicherzugriff im untersten Adressenbereich (128 kByte RAM),

/O4 wird low-aktiv bei Interruptbestätigung, bei Halt oder im passiven Zustand.

Am Eingang D26/5 liegt das Adressensammelsignal

/ADR8*/ADR9*/ADRA*/ADRB*/ADRC*/ADRD*/ADRE*/ADRF.

Das Signal /EASEL an D26/6 wird also low-aktiv, wenn ein E/A-Zyklus im Adressenraum 0000H bis 00FFH vorliegt. Das Gatter D29/6 verknüpft alle Selektierungssignale mit ODER, somit wird der Ausgang D29/6 high-aktiv bei jedem Zugriff auf den Nebenbus. Das Signal geht an den Eingang D24/15 des Buscontrollers für den Nebenbus. Wenn keine Bedingung für den Nebenbuszugriff vorliegt, wird das Signal nach Negation über D28/10 high-aktiv am Eingang D17/15 des Buscontrollers für den Systembus und am Entscheidungseingang D16/3 des Busarbiters. Es wird damit ein Systembuszugriff angefordert. Die Aktivierung der Adressenports, des Buscontrollers und des Signals /XACK bei Systembuszugriff erledigt der Busarbiter über den Ausgang D16/3 (Signal /EA).
Eine Logik, bestehend aus D32/4, D32/10, D45/8 und D45/2, liefert die Vorselektierungssignale RAMS0 und RAMS1 für Speichererweiterung am Nebenbus. Die Vorselektierungssignale PROMS und EASEL (beide high-aktiv durch Negation über D45/6 und D45/4) werden ebenfalls am Nebenbus herausgeführt.

3.6 Festwert- und Arbeitsspeicher

Der Festwert- bzw. Programmspeicher besteht aus vier EPROM-Schaltkreisen 2764 oder 27 256. Der Speicherumfang beträgt somit 32 bzw. 128 Kbyte. Es werden vom Dekoder D30 jeweils 2 EPROMs gleichzeitig mit gemeinsamem /CS-Signal aufgerufen. Der Speicher liefert also immer ein ganzes Datenwort. Der Dekoder erhält das Vorselektierungssignal /PROMS. Mit dem Signal /PROMDIS an D30/1 kann der Festwertspeicher für Prüfzwecke von außen verriegelt werden. Die Brückenfelder XB8 und XB9 dienen zur Einstellung der verschiedenen Speichertypen.
Der Arbeitsspeicher besteht aus zwei Schaltkreisen RAM 8 Kbyte oder 32 Kbyte. Der Speicherumfang beträgt damit 16 Kbyte bzw. 64 Kbyte. Hier wird Byte oder Wort selektiert (erforderlich bei Schreibvorgang). Die /CS-Signale liefert der Dekoder D42, dieser wird aktiviert mit dem Selektierungssignal /RAMS0. Hier dienen die Brückenfelder XB13, XB14 und XB15 zur Einstellung der RAM-Typen 8 K x 8 oder 32 K x 8. Die Datenausgänge der Speicherschaltkreise sind miteinander verbunden und über die Bustreiber D1 und D3 an den Nebenbus angeschlossen. Eine ODER-Verknüpfung sämtlicher Speicher-/CS-Signale, realisiert durch D29/8 und D38/2, schaltet die Datentreiber aktiv. Die Richtung der Datentreiber wird direkt vom Buscontroller gesteuert.

3.7 Ein-/Ausgabe-Schaltung

Periphere Ein- und Ausgabe ist über folgende Schaltkreise möglich:
- D52 und D53 (PIO, 8255 A), alle Ein- und Ausgänge sind ungepuffert an Kopfsteckverbinder geführt.
- D54 (CTC, 8253), Kanal 3 liefert Empfangs- und Sendetakt für beide USART-Schaltkreise; Kanäle 1 und 2 sind über Kopfsteckverbinder X5 allgemein verwendbar.
- D40 und D41 (USART, 8251 A), diese beiden Schaltkreise sind als serielle Schnittstellen über 20 mA-Stromschleifen verwendbar; jede Schnittstelle ist über einen 9-poligen Kopfsteckverbinder geführt. Sender und Empfänger sind aktiv oder passiv schaltbar und über Optokoppler potentialfrei herausgeführt. Die strombestimmenden Widerstände sind R22, R23, R25 und R27.

Die /CS-Signale für alle Peripherieschaltkreise liefert der Dekoder D50 (DL 155). Die Eingänge D50/2 und D50/14 aktivieren den Dekoder. Die Aktivierung erfolgt über die Gatter D49/11 und D47/11 bei ADR6*ADR7*EASEL = high. Alle Peripherieschaltkreise sind über den Datentreiber D2 an den Low-Teil des Datenbus-Nebenbus angeschlossen. Dieser Datentreiber wird über das Gatter D43/11 aktiv geschaltet. Ausgang D43/11 ist low, wenn der Dekoder D50 ein beliebiges /CS-Signal liefert oder wenn vom PIC ein Vektor gelesen wird. Beim Vektorlesen ist der PIC-Ausgang D35/16 (Signal /EB) low. Dazu muß der PIC im Buffered-Mode programmiert werden. Die Richtung des Datentreibers wird vom Buscontroller gesteuert.

3.8 Interruptschaltung

Kernstück der Interruptschaltung ist der Interruptcontroller D35 (PIC, 8259 A). Die Eingänge des PIC IRQ1 bis IRQ8 sind mit Wickelstiften versehen und können frei verschaltet werden. Über die Signale INT0-N bis INT3-N (XB16:32 - 35) können von Erweiterungsplatten max. vier Slave-PICs angeschlossen werden. Dazu sind die Kaskadierungs-Adreß-Bits des PIC an den Steckverbinder X2 geführt. Es sind die Signale CAS0, CAS1 und CAS2 am PIC mit EX1, EX2 und EX3 bezeichnet.
Alle auf dem EPR vorhandenen Interruptquellen sind mit Wickelstiften versehen. Mit den Gattern D37/8, D26/8, D26/11, D51/3, D51/6, D51/8, D51/11, D38/8, D38/10, D38/12, D46/10 und D46/12 können mehrere Interruptquellen zusammengefaßt und dann auf beliebige PIC-Eingänge geführt werden.

INHALTSVERZEICHNIS

NUTZERANLEITUNG

		Blatt
1.	Allgemeines	2
2.	Spannungsversorgung	2
3.	Konfigurierung	2
4.	Wickelbrücken	3
5.	Mapping-Dekoder und EPROM-Plazierung	9
5.1	Mapping-Dekoder	9
5.2	EPROM-Plazierung	9
6.	Programmierung der Interface-Schaltkreise	10
6.1	CTC KR 580 WI 53	10
6.1.1	Initialisierung	10
6.1.2	Betriebsarten	11
6.1.3	Lesen des Zählerstandes	12
6.1.4	Frequenzteiler- und Zeitgeberanwendungen	13
6.2	USART KR 580 WW 51 A	14
6.2.1	Initialisierung	14
6.2.2	Datenübertragung	16
6.2.3	Statusregister lesen	17
6.2.4	Baudraten	17
6.3	PIC 8259 A	18
6.3.1	Der Interrupt-Acknowledge-Zyklus auf der ZVE	18
6.3.2	Initialisierung	19
6.3.3	Betriebsarten	22
6.3.4	Status lesen	25
6.3.5	Poll-Mode	26
6.4	PIO KR 580 WW 55 A	26
6.4.1	Initialisierung	26
6.4.2	Datenübertragung	29
7.	Montage und Installation	30
8.	Wartung und Instandhaltung	30

ÄZ	Mitt. Nr.	Blatt
1	11	1, 2, 3, 4, 9

AEND.-VERMERK:
ÄZ1 ÄM11 06.89

EPR - 16
(Nutzeranleitung)

SPEZ.TECHNOL.
BL-ANZ.: 30

BEARB.:
KONSTR.:
TECHNOL.: 36 04 38 : 142.25 (TB4)(4)
E-STAND.:
STAND.:

1. Allgemeines

Die Steckeinheiten nach 360438:142.25 sind in-circuit-getestete, unkonfigurierte Basismodule. Die Konfigurierung mit Wickelbrükken und TTL-PROM, die Komplettierung mit EPROM und/oder SRAM, Arithmetikprozessor 8087 und Frontplatte nach 360438:184.14(-) sowie die Endprüfung erfolgen gerätespezifisch nach xxxxxx:xxx.27.

2. Spannungsversorgung

Die Steckeinheit benötigt die Bertriebsspannungen +5 V und +12 V, die wahlweise über den Systembus oder den Nebenbus zugeführt werden können. Über welchen Bus die Zuführung erfolgt, hängt von der Systemkonfigurierung ab. Die Einstellung erfolgt mittels Wickelbrücken auf der StE. Es ist nicht zulässig, die Bewicklung so vorzunehmen, daß die Einspeisepunkte der StE mit den Spannungszuführungen beider Busse gleichzeitig verbunden sind!

+5 V - Versorgung vom Systembus	XB1:5 - XB1:3 XB1:6 - XB1:4
+5 V - Versorgung vom Nebenbus	XB1:1 - XB1:3 XB1:2 - XB1:4
+12 V - Versorgung vom Systembus	XB2:3 - XB2:2
+12 V - Versorgung vom Nebenbus	XB2:1 - XB2:2

Zur Vermeidung unzulässiger Ströme im Kurzschlußfall sind die Steckeinheiten mit einem Schmelzeinsatz F 6,3 TGL 0-41571/01 bestückt, der zur Vermeidung von Übergangswiderständen mit den zugehörigen Kontaktfedern verlötet ist. Im Reparaturfall ist unbedingt darauf zu achten, daß ein typgleicher Schmelzeinsatz verwendet und mit den Kontaktfedern ordnungsgemäß verlötet wird.

3. Konfigurierung

Der EPR-16 ist mit 168 Wickelstiften versehen, mit denen die verschiedenen Einsatzfälle verdrahtet werden müssen.
Sechs 28-polige Fassungen gestatten die Verwendung verschiedener PROM- oder sRAM-Schaltkreise.
Ein TTL-PROM MH 74 S 287 muß in Abhängigkeit von den verwendeten PROMs (8K x 8 oder 32K x 8) vorbereitet werden. Nach jedem Reset beginnt die CPU die Programmabarbeitung auf der Adresse FFFF0H. Der Adreßbereich 0 - 03FFH wird durch die Interruptvektortabelle belegt.

Im Bedarfsfall (falls komplizierte arithmetische Berechnungen erforderlich sind) kann die Bestückung der dafür vorhandenen Fassung mit dem Arithmetikprozessor 8087 erfolgen.

4. Wickelbrücken

Im allgemeinen verbleiben die Wickelverbindungen innerhalb umgrenzter Wickelfelder. Bei der Erstellung der Interruptkonfiguration müssen jedoch einige Verbindungen zwischen verschiedenen Feldern verdrahtet werden. Zum besseren Verständnis sollten die Funktionsbeschreibung 360438:142.25 (TB3)(4) und der Stromlaufplan herangezogen werden. Die nachstehende Tabelle gibt an, welche Wickelstifte durch Brücken zu verbinden sind (Bindestrich), um ein gewünschtes Betriebsverhalten einzustellen.

- Funktion des Busarbiters -

/CBRQ am Systembus (Master niedrigerer Priorität können den Systembus anfordern)	XB4:1 - XB4:2
/CBRQ = low (Der Arbiter gibt nach jedem Systembuszyklus den Bus ab)	XB4:3 - XB4:2
ANYRQST = low (Der Arbiter behält die Kontrolle über den Systembus, bis ein höher priorisierter Master /CBRQ aktiviert. Ein niederpriorisierter Master kann die Buskontrolle nur erhalten, wenn der EPR keinen SB-Zyklus ausführt	XB4:6 - XB4:4
ANYRQST = high (Sobald /CBRQ aktiv ist, erfolgt die Busübergabe nach Beendigung des laufenden SB-Zyklus an den anfordernden Master, unabhängig von seiner Priorität).	XB4:5 - XB4:4

- Rücksetzen -

Der EPR liefert /INIT an den Systembus	XB5:2 - XB5:3
Der EPR empfängt /INIT vom Systembus	keine Brücke an XB5
Der EPR arbeitet nicht am Systembus (Inselbetrieb)	XB5:1 - XB5:2

- Taktversorgung Systembus -

EPR liefert /CCLK = 9830,4 kHz an den Systembus	XB6:2 - XB6:7 XB6:1 - XB6:6
EPR liefert /BCLK = 5000,0 kHz an den Systembus	XB7:1 - XB7:2 XB10:2 - XB10:3
EPR liefert /BCLK = 9830,4 kHz an den Systembus	XB6:2 - XB6:7 XB7:1 - XB7:2 XB10:1 - XB10:2
EPR empfängt /CCLK und /BCLK vom Systembus	XB6:1 - XB6:7

- Wartetakte bei Speicherzugriffen am Nebenbus -

/MRDC-N = 400 ns	XB11:1 - XB11:2
/MRDC-N = 600 ns	keine Brücke an XB11
/MWTC-N = 200 ns	XB12:1 - XB12:2
/MWTC-N = 400 ns	XB12:3 - XB12:2

- Speicherbestückung RAM -

U 6264 (8K x 8 bit)	XB13:1 - XB13:2 XB14:1 - XB14:2 XB15:2 - XB15:3
U 62 257 (32K x 8 bit)	XB13:2 - XB13:3 XB14:2 - XB14:3 XB15:1 - XB15:2

- Speicherbestückung EPROM -

U 2764 (8K x 8 bit)	XB8:1 - XB8:3 XB8:2 - XB8:4 XB9:2 - XB9:3
U 27 256 (32K x 8 bit)	XB8:1 - XB8:2 XB8:3 - XB8:4 XB9:1 - XB9:2

- Taktversorgung für CTC, USART1 und USART2 -

a) 1,23 MHz an CTC/Kanal 1, Takt — XB19:1 - XB19:2
H-Pegel an CTC/Kanal 1, Gate — XB19:3 - XB19:4
1,23 MHz an CTC/Kanal 2, Takt — XB19:2 - XB19:5
H-Pegel an CTC/Kanal 2, Gate — XB19:4 - XB19:6

b) Takt für USART 1 von CTC/Kanal 2 — XB18:1 - XB18:2
Takt für USART 1 von CTC/Kanal 3 — XB18:1 - XB18:4
Takt für USART 2 von CTC/Kanal 2 — XB18:3 - XB18:2
Takt für USART 2 von CTC/Kanal 3 — XB18:3 - XB18:4

Im Normalfall werden USART 1 und USART 2 vom CTC/Kanal 3 versorgt.

- Serielle Schnittstellen, Funktion der Stromschleifen -

a) Stromschleife 1 (USART 1, Steckverbinder X6)

Empfänger passiv — XB21:3 - XB21:4

Empfänger aktiv — XB21:1 - XB21:3
XB21:2 - XB21:4

Sender passiv — XB20:3 - XB20:4

Sender aktiv — XB20:2 - XB20:3
XB20:1 - XB20:4

Anschluß des Kabelschirms an isolierte Metallfläche — XB22:1 - XB22:3

b) Stromschleife 2 (USART 2, Steckverbinder X7)

Empfänger passiv — XB24:3 - XB24:4

Empfänger aktiv — XB24:1 - XB24:3
XB24:2 - XB24:4

Sender passiv — XB23:4 - XB23:3

Sender aktiv — XB23:1 - XB23:3
XB23:2 - XB23:4

Anschluß des Kabelschirms an isolierte Metallfläche — XB25:1 - XB25:3

- Interruptverhalten -

Um das gewünschte Interruptverhalten des EPR-16 einzustellen, sind die vorhandenen Interruptquellen in geeigneter Weise mit den Eingängen des PIC (P 8259 A) zu verbinden. Auf dem EPR befinden sich ein 8-fach ODER, vier 2-fach ODER und zwei 2-fach NAND. Mit diesen Gattern können mehrere Interruptquellen zusammengefaßt und auf jeweils einen gemeinsamen PIC-Eingang gegeben werden. Zwei beliebige Interruptquellen können nach Negation durch einen IC 7406 PC als /INTn-Signal auf den Systembus geschaltet werden. Außerdem können vom Systembus drei beliebige /INTn-Signale empfangen und nach Negation durch DL 004 weiterverarbeitet werden. Die Verdrahtung der Interruptwickelbrücken erfolgt zweckmäßig an Hand des Stromlaufplans.

a) auf dem EPR-16 vorhandene Interruptquellen

PIO 1, C0	XB16:57
C3	XB16:58
PIO 2, A0	XB16:62
A1	XB16:61
A2	XB16:60
A3	XB16:59
A4	XB16:42
A5	XB16:43
A6	XB16:44
A7	XB16:45
PIO 2, B0	XB16:48
B1	XB16:49
B2	XB16:50
B3	XB16:67
B4	XB16:66
B5	XB16:65
B6	XB16:64
B7	XB16:63
PIO 2, C0	XB16:46
C3	XB16:47
USART 1, RxRDY	XB16:24
TxRDY	XB16:25
USART 2, RxRDY	XB16:26
TxRDY	XB16:27
CTC, Ausgang Kanal 1	XB16:39
CTC, Ausgang Kanal 2	XB16:37
CTC, Ausgang Kanal 3	XB16:38
APU (8087), INT	XB16:68

b) Interrupteingänge

CPU (8086), /NMI-N		XB16:36
PIC (8259 A),	IRQ 1	XB16:8
	IRQ 2	XB16:7
	IRQ 3	XB16:6
	IRQ 4	XB16:5
	IRQ 5	XB16:4
	IRQ 6	XB16:3
	IRQ 7	XB16:2
	IRQ 8	XB16:1

c) Interruptleitungen des Nebenbus

INT0-N	XB16:33
INT1-N	XB16:34
INT2-N	XB16:35
INT3-N	XB16:32

Über diese Leitungen werden Slave-PICs, die sich auf eventuell vorhandenen Erweiterungsplatten befinden, an den Master-PIC des EPR angeschlossen. Dazu müssen die INTn-N Wickelstifte mit ausgewählten Eingängen des PIC verbunden werden. Es liegt dann busvektorisierter Interrupt am Nebenbus vor.
Existieren keine Slave-PICs, können 4 beliebige Interruptquellen über X2 zum Maste-PIC verbunden werden.

d) Interruptsignale des Systembus

/INT0	XB3:6
/INT1	XB3:7
/INT2	XB3:8
/INT3	XB3:3
/INT4	XB3:4
/INT5	XB3:5
/INT6	XB3:1
/INT7	XB3:2

Diese Signale müssen bei Empfang vom Systembus über DL 004 und bei Ausgabe an den Systembus über MH 7406 geführt werden. Im ersten Fall wird das Signal nach Negation an den PIC geführt, im zweiten Fall stammt es von einer beliebigen Interruptquelle des EPR.

e) Gatter zur Zusammenfassung von Interruptquellen

8-fach ODER	Eingänge	XB16:16
		XB16:17
		XB16:18
		XB16:19
		XB16:20
		XB16:21
		XB16:22
		XB16:23
	Ausgang	XB16:15
2-fach ODER	Eingänge	XB16:51
		XB16:52
	Ausgang	XB16:53
2-fach ODER	Eingänge	XB16:54
		XB16:55
	Ausgang	XB16:56
2-fach ODER	Eingänge	XB16:28
		XB16:31
	Ausgang	XB16:29
2-fach ODER	Eingänge	XB16:40
		XB16:41
	Ausgang	XB16:30
2-fach NAND	Eingänge	XB6:9
		XB6:10
	Ausgang	XB6:8
2-fach NAND	Eingänge	XB6:4
		XB6:5
	Ausgang	XB6:3
Negator DL 004 D	Eingang	XB16:9
	Ausgang	XB16:10
Negator DL 004 D	Eingang	XB16:11
	Ausgang	XB16:12
Negator DL 004 D	Eingang	XB16:13
	Ausgang	XB16:14
Negator 7406 PC	Eingang	XB17:2
	Ausgang	XB17:1
Negator 7406 PC	Eingang	XB17:4
	Ausgang	XB17:3

Der Ausgang XB17:3 ist mit einem pull-up-Widerstand von 1 kOhm versehen.

5. Mapping-Dekoder und EPROM-Plazierung

5.1 Mapping-Dekoder

Der adressierbare Speicherraum des EPR-16 beträgt 1 Mbyte. Dieser ist in 16 Segmente von je 64 Kbyte unterteilt:

Segment	Adreßbereich (hexadezimal)
0	00000 - 0FFFF
1	10000 - 1FFFF
2	20000 - 2FFFF
.	.
.	.
.	.
13	D0000 - DFFFF
14	E0000 - EFFFF
15	F0000 - FFFFF

Durch den Mapping-Dekoder D9 (TTL-PROM MH 74 S 287) wird jedes Segment dem Nebenbus oder dem Systembus zugeordnet.

a) Verwendung von EPROM U 2764 (8K x 8 bit)

Segmente 0, 1 und 15	Nebenbus
Segmente 2 bis 14	Systembus

Der TTL-PROM MH 74 S 287 wird nach folgenden logischen Gleichungen programmiert:

```
 O1 = (A4*/A5*/A6)+(/A4*A5*/A6)
/O2 = (A0*A1*A2*A3*/A4*A6)+(A0*A1*A2*A3*/A5*A6)
/O3 = (/A1*/A2*/A3*/A4*A6)+(/A1*/A2*/A3*/A5*A6)
/O4 = (/A4*/A5*/A6)+(A4*A5)
```

A0,....,A6 sind die Eingänge und O1,...,O4 die Ausgänge des TTL-PROMs.

b) Verwendung von EPROM U 27 256 (32K * 8 bit)

Segmente 0, 1, 14 und 15	Nebenbus
Segmente 2 bis 13	Systembus

Der TTL-PROM erhält Ausgang /O2 nach folgender Gleichung:

```
/O2 = (A1*A2*A3*/A4*A6)+(A1*A2*A3*/A5*A6)
```

Die Gleichungen für O1, /O3 und /O4 sind wie unter a).

5.2 EPROM-Plazierung

EPROM unterer Adreßbereich, low-Byte	XD19
EPROM unterer Adreßbereich, high-Byte	XD18
EPROM oberer Adreßbereich, low-Byte	XD20
EPROM oberer Adreßbereich, high-Byte	XD21

6. Programmierung der Interface - Bausteine

6.1 CTC KR 580 WI 53

6.1.1 Initialisierung

Der Zähler/Zeitgeber (CTC) beinhaltet 3 Kanäle, die unabhängig voneinander programmiert werden, indem jeweils ein Steuerwort ausgegeben und danach das Zeitkonstantenregister (ein oder zwei Bytes) geladen wird. Bild 6.1 zeigt zwei mögliche typische Prozeduren. Jeder Kanal enthält einen 16 Bit Abwärtszähler, der als Frequenzteiler oder Zeitgeber in verschiedenen Betriebsarten genutzt werden kann. Vor einer Initialisierung sind Mode, Zählerstand und Ausgänge der Counter undefiniert.

Prozedur zur Programmierung eines Kanals:

Adresse		
0D6	Mode Control	Counter n
0D0/2/4	Count Register LSB	Counter n
0D0/2/4	Count Register MSB	Counter n

Prozedur zur Initialisierung aller Kanäle:

Adresse		
0D6	Mode Control	Counter 1
0D6	Mode Control	Counter 2
0D6	Mode Control	Counter 3
0D0	Count Register LSB	Counter 1
0D0	Count Register MSB	Counter 1
0D2	Count Register LSB	Counter 2
0D2	Count Register MSB	Counter 2
0D4	Count Register LSB	Counter 3
0D4	Count Register MSB	Counter 3

Bild 6.1: Typische CTC-Prozedur

Das MODE CONTROL - Wort (MCW) hat folgendes Format:

D7							D0
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

BCD	Binär/BCD-Zähler	0	Binärzähler (16 bit)
		1	BCD-Zähler (4 Dekaden)

M0 - M2 Betriebsart

M2	M1	M0	
0	0	0	Mode 0
0	0	1	Mode 1
X	1	0	Mode 2
X	1	1	Mode 3
1	0	0	Mode 4
1	0	1	Mode 5

X - don't care

RL0, RL1 Lesen/Laden

RL1	RL0	
0	0	Counter Latching
0	1	nur LSB lesen/laden
1	0	nur MSB lesen/laden
1	1	zuerst LSB, dann MSB lesen/laden

SC0, SC1 Kanalauswahl

SC1	SC0	
0	0	Counter 1
0	1	Counter 2
1	0	Counter 3
1	1	nicht erlaubt (Read back bei 8254)

6.1.2 Betriebsarten

Die einzelnen Betriebsarten beinhalten folgende Funktionen:

- Mode 0: Interrupt bei Erreichen des Zählerstandes 0.
  Der Ausgang geht nach dem Laden des MCW auf low. Ist die Zeitkonstante vollständig geladen, beginnt der Zählvorgang automatisch. Bei Erreichen des Zählerstandes 0 geht der Ausgang auf high, bis der Zähler neu geladen wird. Solange wird auch das Zählregister über 0 hinaus weiter dekrementiert. Mode 0 ist nicht repetierend, das heißt, der Zählvorgang muß neu gestartet werden. Um Echtzeit-Interrupts zu generieren, muß der Zählerausgang mit dem PIC verbunden werden.

- Mode 1: Programmierbare Einimpulsschaltung (Monoflop)
  Der Ruhezustand des Ausgangs ist high. Der Zähler wird mit einer positiven Flanke am GATE-Eingang gestartet, der Ausgang geht auf low. Bei Zählerstand 0 geht der Ausgang auf high und der Zähler stoppt. Jede weitere 0/1-Flanke am GATE vor Erreichen des Zählerstandes 0 setzt das Zählregister neu, der Ausgang bleibt auf low (retriggerbares Monoflop). Mode 1 ist nicht repetierend.

- Mode 2: Zeitgeber (Frequenzgenerator, Teiler durch n)
  Nach dem Laden des MCW geht der Ausgang auf high. Das Zählen beginnt, nachdem die Zeitkonstante geladen wurde. Der Ausgang geht jeweils im letzten Takt für eine Taktperiode auf low, der Abstand der Ausgangsimpulse entspricht der programmierten Taktzahl. Geht der GATE-Eingang auf low, wird der Zähler

gestoppt, bei high wird er neu geladen und gestartet. Die Eingabe einer neuen Zeitkonstante wird in der nächsten Periode berücksichtigt, ansonsten wird ein neuer Zählvorgang mit der alten Zeitkonstante gestartet. Mode 2 ist repetierend, bei Ø-Durchgang wird der Zähler neu gesetzt und gestartet.

- Mode 3: Rechteckgenerator
  Analog wie Mode 2, jedoch geht der Ausgang bereits nach der Hälfte der Eingangsimpuse aus low, so daß ein symmetrischer Ausgangstakt entsteht. Der Teilerfaktor 3 ist nicht erlaubt. Mode 3 ist repetierend.

- Mode 4: Software-getriggerter Impuls (Strobe)
  Nach dem Laden des MCW geht der Ausgang auf high. Das Zählen beginnt, nachdem die Zeitkonstante geladen wurde. Der Ausgang geht nach Erreichen des Zählerstandes Ø für eine Taktperiode auf low. Anschließend bleibt er wieder high. Zum erneuten Starten muß die Zeitkonstante wieder geladen werden. Geht der GATE-Eingang auf low, wird der Zähler gestoppt, bei high wird er neu geladen und gestartet. Die Eingabe einer neuen Zeitkonstante während eines Zählvorgangs bewirkt sofort einen neuen Zählvorgang. Mode 4 ist nicht repetierend.

- Mode 5: Hardware-getriggerter Impuls (Strobe)
  Analog wie Mode 4, jedoch beginnt das Zählen erst nach einer positiven Flanke am GATE-Eingang (retriggerbar). Der GATE-Eingang kann über das CONTROL PORT (CP) gesteuert werden.

6.1.3 Lesen des Zählerstandes

Zum Auslesen eines Zählerstandes können zwei Verfahren angewendet werden:

- Ist der Zählvorgang über ein low-Signal am GATE-Eingang unterbrochen, so kann durch eine Leseoperation auf die Adresse des gewünschten Kanals der momentane Zählerstand ermittelt werden. Dabei muß beachtet werten, ob im vorangegangenen Mode-Control-Wort nur ein Byte (LSB oder MSB) oder beide vereinbart wurden.

- Soll ein Zählerstand ausgelesen werden, ohne daß der Zählvorgang unterbrochen wird, so muß der Counter-Latching-Mode angewendet werden. Dazu wird zunächst ein Mode Control Word (Adresse ØD6H) mit folgendem Format ausgegeben:

D7							D0
SC1	SCØ	Ø	Ø	X	X	X	X

SC1, SCØ wählen den entsprechenden Kanal aus.

Anschließend kann eine Leseoperation auf die gewünschte Kanaladresse ausgeführt werden. Auch hierbei ist die vorher vereinbarte Zahl von Bytes zu berücksichtigen. Wenn zwei Counter Bytes programmiert wurden, müssen auch zwei Bytes gelesen werden, bevor wieder ein Schreibkommando gesendet werden kann.

6.1.4 Frequenzteiler- und Zeitgeberanwendungen

Der Kanal 3 wird als Baudratengenerator für das serielle Interface genutzt. Die Eingangsfrequenz ist fest auf 1.2288 MHz eingestellt. Er sollte für den Mode 3 programmiert werden. Die erforderlichen Zeitkonstanten für einige Baudraten siehe Abschnitt 6.2

Die Kanäle 1 und 2 stehen dem Anwender zur Verfügung. Als Eingangsfrequenz kann 1.2288 MHz gewählt werden, außerdem können sie kaskadiert werden. Die Auswahl erfolgt über Wickelbrücken. Im folgenden werden einige Hinweise zu ihrer Programmierung gegeben.

Im Mode 2 oder 3 arbeiten die Kanäle als Frequenzteiler. Die Ausgangsfrequenz kann nach folgender Formel bestimmt werden:

$$\text{Ausgangsfrequenz} = \frac{\text{Eingangsfrequenz}}{\text{Zeitkonstante}}$$

Im Mode 1, 4 oder 5 arbeiten sie als Zeitgeber. Die Länge des Zeitintervalls kann nach folgender Formel bestimmt werden:

$$\text{Zeitintervall} = \frac{\text{Zeitkonstante}}{\text{Eingangsfrequenz}}$$

Das Tabelle 6.1 zeigt die möglichen Frequenz- und Zeitbereiche, Tabelle 6.2 enthält einige Zeitkonstanten für ausgewählte Zeitintervalle.

	Ein Zähler		Zwei Zähler kask.	
fin	1.2288 MHz	307.2 kHz	1.2288 MHz	307.2 kHz
foutMIN	18.75 Hz	4.69 Hz	0.0003 Hz	0.00007 Hz
foutMAX	614.4 kHz	153.6 kHz	307.2 kHz	76.8 kHz
toutMIN	1.63 us	6.51 us	3.26 us	13.0 us
toutMAX	53.3 ms	213.3 ms	58.25 min	233 min

Tabelle 6.1: Frequenz- und Zeitbereiche des CTC

Die Frequenz 307,2 kHz muß bei Bedarf extern zugeführt werden.

```
*********************************************************************
*                                              * BL.-NR. *          *
*                                              *         *          *
*      36 04 38 : 142.25 (TB4)(4)              *    13   *          *
*                                              *         *          *
*********************************************************************
```

Intervall	Zeitkonstante					
	Ein Zähler				Zwei Zähler 1)	
bei fin	1.2288 MHz		307.2 kHz		1.2288 MHz	
	dez.	hex.	dez.	hex.	dez.	hex.
10 us	12	0C				
100 us	123	7B	31	1F		
1 ms	1229	4CD	307	133		
10 ms	12288	3000	3072	0C00	2	2
100 ms			30720	7800	20	14
1 s					200	0C8
10 s					2000	70D

Tabelle 6.2: Einige Zeitkonstanten für ausgewählte Zeitintervalle

Anmerkung 1): Es ist nur die Zeitkonstante für einen Kanal angegeben unter der Bedingung, daß der zweite Kanal auf 6144 (1800H) programmiert ist.

6.2 USART KR 580 WW 51 A

6.2.1 Initialisierung

Die Programmierung des seriellen Interfaces erfolgt durch bestimmte Steuerworte, die an den USART ausgegeben werden. Nach jedem RESET muß der USART initialisiert werden, außerdem kann die Initialisierung auch während des Betriebs erfolgen, wenn z.B. Betriebsart oder Übertragungsformat geändert werden sollen. Eine typische Programmfolge zeigt Bild 6.2.

Adresse		
	RESET	
00DA	Mode Instruction	
00DA	SYNC CHAR 1	nur im Synchron-mode
00DA	SYNC CHAR 2	
00DA	Command Instruction	
00D8	Daten	
=	=	
00DA	Command Instruction	
00D8	Daten	

Bild 6.2: Typische USART-Prozedur

```
*********************************************************************
*                                          * BL.-NR. *              *
*                                          *         *              *
*      36 04 38 : 142.25 (TB4)(4)          *    14   *              *
*                                          *         *              *
*********************************************************************
```

Das MODE INSTRUCTION - Wort hat folgendes Format:

	D7							D0
Asynchron-Mode	S2	S1	EP	PEN	L2	L1	B2	B1
Synchron-Mode	SCS	0	EP	PEN	L2	L1	0	0

B1,B2 Baud-Rate-Faktor:

B2	B1	
0	0	SYNC-MODE
0	1	x 1
1	0	x 16
1	1	x 64

$$\text{Baud-Rate} = \frac{\text{Frequenz an TxC,RxC}}{\text{Baud-Rate-Faktor}}$$

L1,L2 Zeichenlänge:

L2	L1	
0	0	5 bit
0	1	6 bit
1	0	7 bit
1	1	8 bit

PEN Paritätsfreigabe:

0	ohne Parität
1	mit Parität

EP gerade Parität:

0	ungerade
1	gerade

S1,S2 Zahl der Stopbits:

S2	S1	
0	0	nicht erlaubt
0	1	1 Stopbit
1	0	1.5 Stopbits
1	1	2 Stopbits

SCS Zahl der SYNC-Zeichen:

0	2 SYNC-Zeichen
1	1 SYNC-Zeichen

Je nach Mode erwartet der USART als nächstes entweder zwei, ein oder kein SYNC-Zeichen.

Das COMMAND INSTRUCTION - Wort hat folgendes Format:

D7							D0
EH	IR	RTS	ER	BRK	RxE	DTR	TxE

TxE = 1 : Senderfreigabe .
DTR = 1 : /DTR-Ausgang 'Low' setzen
RxE = 1 : Empfängerfreigabe
BRK = 1 : BREAK-CHARACTER senden
ER = 1 : Fehlerflags PE,OE,FE rücksetzen
RTS = 1 : /RTS-Ausgang 'Low' setzen
IR = 1 : Internes Rücksetzen
EH = 1 : Empfangsdaten auf SYNC-Zeichen testen (Hunt-Mode)

! ACHTUNG !
Nach einem 'Power-up RESET' sind Mode und interner Zustand des USART undefiniert. Um in diesem Fall definiert das Mode Instruction Format zu erreichen, muß die folgende 'worst-case initialization sequence' abgearbeitet werden:

Ausgabe von 00H,00H,00H,40H an Adresse 00DAH

Danach kann die normale Initialisierung entspr. Bild 6.2 beginnen. Der USART benötigt bei der Initialisierung zwischen aufeinanderfolgenden Schreiboperationen eine Pause von min. 12us, um seine internen Register zu setzen. Bei der Programmierung aufeinanderfolgender Ausgaben muß eine entsprechende Warteschleife eingebaut werden, bevor der Status abgefragt werden kann. Außerdem sollten während der Intialisierung Interrupts verboten bzw. die entsprechenden Ebenen am PIC maskiert werden.

6.2.2 Datenübertragung

Nach der Initialisierung können Daten übertragen oder empfangen werden. Dabei sind zwei Betriebsarten möglich:

- Interrupt-Mode:
  Die USART-Signale TxRDY und RxRDY werden mit dem PIC verbunden.
  Senderinterrupt: Ist der Sendepuffer leer, erzeugt TxRDY einen Senderinterrupt, falls der PIC entsprechend programmiert ist. TxRDY wird so lange aktiv gehalten, bis ein neues Zeichen an den USART ausgegeben wurde.
  Empfängerinterrupt: Hat der USART ein Zeichen empfangen, erzeugt RxRDY einen Empfängerinterrupt, falls der PIC entsprechend programmiert ist. RxRDY wird so lange aktiv gehalten, bis das Zeichen aus dem USART ausgelesen wurde.

- Poll-Mode:
  Die Zustände des Empfangs- und Sendepuffers sind über ein Statusregister abfragbar. Außerdem sind auf diese Weise auch die Fehlerflags testbar.

6.2.3 Statusregister lesen

Das Lesen des Statusregisters erfolgt, indem ein Lesekommando auf die Adresse ØDAH ausgegeben wird.

Das STATUS READ - Wort hat folgendes Format:

```
          D7                                                D0
        ------------------------+-------------------------
       ¦ DSR ¦ SY/BK  ¦ FE ¦ OE ¦ PE ¦ TxEM ¦ RRDY ¦ TRDY ¦
        ------------------------------------------------
```

TRDY=1 :	Sendepuffer ist leer, CPU kann neues Zeichen senden
RRDY=1 :	Der USART hat ein Zeichen empfangen, welches von der CPU gelesen werden kann
TxEM=1 :	Das Sendeschieberegister ist leer
PE =1 :	Paritätsfehler
OE =1 :	Empfängerüberlauf (hat die CPU ein Zeichen nicht rechtzeitig ausgelesen, wird es von neu empfangenen Zeichen überschrieben)
FE =1 :	Rahmenfehler (es wurde kein Stopbit erkannt)
SY =1 :	SYNC CHAR wurde erkannt (Synchron Mode)
BK =1 :	BREAK CHARACTER wurde erkannt (Asynchron Mode)
DSR =1 :	/DSR-Eingang liegt auf low

6.2.4 Baudraten

Die Baudrate wird über den CTC, Kanal 3, programmiert, vgl. Abschnitt 6.1.4. Sie läßt sich nach folgender Formel ermittein:

$$\text{Baudrate} = \frac{\text{Eingangsfrequenz des Zählers}}{\text{Zeitkonstante x Vorteiler}}$$

Die Eingangsfrequenz ist 1.2288 MHz. Der Vorteiler wird im Mode-Instruktion-Wort auf 1, 16 oder 64 programmiert. Tabelle 6.3 zeigt einige Zeitkonstanten für den Zählerkanal 3 bei üblichen Baudraten

Baudrate	Zeitkonstante bei Vorteiler 64		Zeitkonstante bei Vorteiler 16	
	dez.	hex.	dez.	hex.
19200			4	4
9600			8	8
4800	4	4	16	10
2400	8	8	32	20
1200	16	10	64	40
600	32	20	128	80
300	64	40	256	100
150	128	80	512	200

Tab. 6.3: Zeitkonstanten für einige Baudraten

```
*****************************************************************
*                                          * BL.-NR. *          *
*                                          *         *          *
*      36 04 38 : 142.25 (TB4)(4)          *    17   *          *
*                                          *         *          *
*****************************************************************
```

6.3 PIC 8259A

Der programmierbare Interrupt-Controller (PIC) entlastet die CPU von der Interruptverwaltung. Er erkennt auftretende Interruptanforderungen, ermittelt deren Priorität, generiert einen maskierbaren Interrupt für die CPU und liefert dieser einen Vektor zur Ermittlung der Sprungadresse für die Unterbrechungsroutine. An jedem Interrupteingang des PIC kann ein weiterer Slave-PIC angeschlossen werden.

6.3.1 Der Interrupt Acknowledge - Zyklus auf der ZVE

1. Der Pegel an einem oder mehreren IR-Eingängen des PIC wechselt von 'low' (inaktiv) auf 'high' (aktiv). Sind diese Eingänge nicht durch das Interrupt Mask Register (IMR) maskiert, werden die korrespondierenden Bits im Interrupt Request Register (IRR) vom PIC gesetzt.

2. Spätestens 350 ns nach einem l/h-Übergang aktiviert der PIC seinen Ausgang INT, der mit dem Eingang INTR der CPU verbunden ist.

3. Die CPU akzeptiert die Interruptanforderung durch Senden des 1. /INTA-Kommandos.

4. Bei Empfang dieses Kommandos übernimmt der PIC die höchstpriorisierte Anforderung in sein In-Service Register (ISR), während das entsprechende Bit im IRR gelöscht wird.

5. Die CPU sendet das 2. /INTA-Kommando, welches den PIC veranlaßt einen 8-bit-Vektor auf den Datenbus zu legen, der von der CPU gelesen wird. War die Interrupt-auslösende Quelle ein Slave-PIC, sendet dieser an Stelle des Master-PICs den Vektor.

6. Damit ist der Interrupt Acknowledge - Zyklus abgeschlossen. Im AEOI-Mode wird das ISR-Bit mit der Rückflanke des 2. /INTA-Kommandos gelöscht. Anderenfalls muß das Bit durch ein EOI-Kommando am Ende der Unterbrechungsroutine zurückgesetzt werden.

6.3.2 Initialisierung

Bevor irgentwelche Interrupts behandelt werden können, müssen alle PIC's im System initialisiert werden. Dies geschieht durch Initialisierungsworte (Initialization Command Words). Anschließend kann durch verschiedene Operationssteuerworte (Operation Control Words) jederzeit die Arbeitsweise festgelegt und geändert werden. Eine typische Initialisierungssequenz zeigt Bild 6.3.

```
Adresse     -------------
  0C0      |    ICW 1    |
           |-------------|
  0C2      |    ICW 2    |
           |-------------|
  0C2      |    ICW 3    |  ( nur, wenn Slave-PIC's
           |-------------|     angeschlossen sind !
  0C2      |    ICW 4    |
           |-------------|
           =             =
           | Initialisieren der Slave-PIC's
           =             =
           |-------------|
  0C2      |    OCW 1    |   Die Reihenfolge und
           = ----------- =   der Zeitpunkt fuer die
  0C0      |    OCW 2    |   Ausgabe von OCW 's ist
           = ----------- =   nicht vorgeschrieben !
  0C0      |    OCW 3    |
            -------------
```

Bild 6.3: Typische PIC-Prozedur

ACHTUNG! Während der Initialisierung oder Umprogrammierung des PIC sollten Interrupts durch die CPU gesperrt sein! Die Reihenfolge ICW1 - ICW2 - (ICW3) - ICW4 muß eingehalten werden.

Die INITIALIZATION COMMAND - Worte haben folgendes Format:

	D7							D0	ADR
ICW1	X	X	X	1	LTM	X	SNG	1	0C0H
ICW2	V7	V6	V5	V4	V3	0	0	0	0C2H
ICW3 (Master)	S7	S6	S5	S4	S3	S2	S1	S0	0C2H
ICW3 (Slave)	0	0	0	0	0	ID2	ID1	ID0	0C2H
ICW4	0	0	0	SFN	BUF	M/S	AEOI	1	0C2H

SNG Single Mode 1 keine Slave-PIC's
0 mit Slaves (kaskadierter Mode)

- dieses Bit gibt an, ob Slave-PIC's angeschlossen sind oder nicht, bei der Slave-Initialisierung ist SNG=0.
- ist das Bit gesetzt wird kein ICW3 programmiert

LTM - Level Triggered Mode 1 pegelgetriggert
0 flankengetriggert

- ist dieses Bit gesetzt, wertet der PIC den Pegel an IRn aus, d.h. nach dem EOI-Kommando wird eine neue Anforderung generiert, wenn IR noch aktiv ist.
- ist dieses Bit nicht gesetzt, kann eine neue Anforderung erst nach einem neuen L/H-Übergang an IRn generiert werden. Bei maskierten Eingängen wird trotzdem ein L/H-Übergang erkannt. (Achtung, wenn mehrere Quellen an eine IR-Ebene angeschlossen sind!)

* Der IR-Eingang muß in beiden Moden mindestens bis zum 1. /INTA- *
* Kommando aktiv sein, um eine Interruptanforderung auszulösen ! *
* Wird der Eingang vorher 'low', sendet der PIC den Vektor für IR7 *
* (default IR7). Über die IR7-Interrupt Routine können also Glit- *
* ches auf IR-leitungen erkannt und behandelt werden (im einfach- *
* sten Fall enthält die Routine nur den RETI-Befehl). Wird IR7 *
* durch den Anwender belegt, kann ein default IR7 durch Lesen des *
* ISR erkannt werden (default: ISR7 nicht gesetzt). *

V7-V3 Interruptvektor

- die Bits 0-2 werden vom PIC im INTA-Zyklus selbständig modifiziert, sie repräsentieren die jeweilige Anforderungsebene:

V2	V1	V0	Ebene
0	0	0	IR0
0	0	1	IR1
0	1	0	IR2
0	1	1	IR3
1	0	0	IR4
1	0	1	IR5
1	1	0	IR6
1	1	1	IR7

- der Vektor wird von der CPU mit 4 multipliziert und ergibt die Zeigeradresse für die Interruptvektortabelle

S7-SØ	Slave Definition	1	Slave angeschlossen
		Ø	kein Slave

- für die Ebenen, an die ein Slave-PIC angeschlossen ist, muß das zugehörige S-Bit gesetzt sein

- für diese Ebenen liefert der Slave den Vektor, für die mit S=Ø der Master selbst

ID2-IDØ Slave-Identifikation

- der Code dieser 3 Bit muß der Nummer der Ebene ent-entsprechen, an die der Slave angeschlossen ist, der Code ist analog zu V2-VØ

BUF	Buffered Mode	Ø	kein BM
		1	Buffered Mode (immer bei EPR !)
AEOI	Auto EOI Command	1	Auto-EOI ein
		Ø	Auto EOI aus

- ist das Bit gesetzt, führt der PIC ein automatisches End-of-Interrupt-Kommando sofort nach dem INTA-Zyklus aus, die Ebene kann neue Interrupts generieren

- ist das Bit nicht gesetzt, muß ein EOI-Kommando durch ein OCW2 programmiert werden

M/S	Master/Slave	1	Master
		Ø	Slave
SFN	Special Fully Nested	1	SFN-Mode
		Ø	kein SFN-Mode

- ist das Bit nicht gesetzt, werden automatisch die IR-Ebene, die gerade bedient wird, und alle niedriger priorisierten Ebenen maskiert, bis ein EOI-Kommando diese wieder freigibt, d.h. die Bedienung einer Ebene kann nur durch höher priorisierte Anforderungen unterbrochen werden.

- ist das Bit gesetzt, werden Anforderungen auf einer einer gerade in Bedienung befindlichen Ebene zugelassen, damit angeschlossene Slaves die Chance haben, die Bedienung zu unterbrechen, wenn bei ihnen eine Anforderung höherer Priorität vorliegt.

6.3.3 Betriebsarten

Nach der Initialisierung des PIC auf der ZVE und eventueller Slave-PIC's kann das Programm Interrupts zulassen. Es können nun jederzeit Operation Command Worte an den PIC gesendet werden. Folgende Operationen können damit ausgeführt werden:

- Interruptmaske setzen, rücksetzen oder lesen. Jedem IR-Eingang ist ein Maskenbit zugeordnet.
- Ein- oder Ausschalten spezieller Betriebsarten.
- Ändern der Prioritäten der IR-Eingänge
- Status des Interrupt-Request-Registers (IRR) oder des In-Service-Registers (ISR) lesen.
- Poll-Mode einschalten und Status lesen.

Das Maskenregister (OCW1) kann jederzeit beschrieben oder gelesen werden, dagegen erfordert das Lesen des IRR/ISR oder der Poll-Mode stets zuerst eine Ausgabe eines OCW3 und eine anschließende Leseoperation auf Adresse ØCØH.

Die OPERATION COMMAND - Worte haben folgendes Format:

	D7							DØ	ADR
OCW1	M7	M6	M5	M4	M3	M2	M1	MØ	ØC2H
OCW2	R/E2	R/E1	R/EØ	Ø	Ø	L2	L1	LØ	ØCØH
OCW3	X	SM1	SMØ	Ø	1	P	RS1	RSØ	ØCØH

M7-MØ Mask Bits
- 1 IR ist maskiert. d.h., solange das Bit gesetzt ist, kann die Ebene keine Interruptanforderung auslösen
- Ø IR ist nicht maskiert

R/E2-R/EØ Rotate/EOI-Mode

R/E2	R/E1	R/EØ	
Ø	Ø	Ø	Auto Rotating rücksetzen
Ø	Ø	1	Non-specific EOI
Ø	1	Ø	keine Operation
Ø	1	1	Specific EOI
1	Ø	Ø	Auto Rotating setzen
1	Ø	1	Rotate on Non-specific EOI
1	1	Ø	Rotate Priority
1	1	1	Rotate on Specific EOI

L2-LØ Binärkode der jeweiligen IR-Ebene, für die das Specific EOI- oder Rotate-Kommando gilt.

SM1,SMØ Special Mask Mode

SM1	SMØ	
Ø	X	keine Operation
1	Ø	SMM rücksetzen
1	1	SMM setzen

P Poll-Mode

Ø	keine Operation
1	Poll-Mode

RS1,RSØ Status Read Mode

RS1	RSØ	
Ø	X	keine Operation
1	Ø	IR-Register lesen
1	1	IS-Register lesen

Die einzelnen Betriebsarten können wie folgt zusammengefaßt werden:

- Fully Nested / Special Fully Nested Mode:
  Dieser Mode wird nach der Initialisierung automatisch eingenommen.
  IRØ hat die höchste, IR7 die niedrigste Priorität. Im INTA-Zyklus wird der Vektor der höchstpriorisierten aktiven Ebene gesendet. Niedriger priorisierte Ebenen sind dann automatisch gesperrt, während höherpriorisierte erlaubt bleiben und die laufende Interruptroutine unterbrechen können, wenn das Interruptflag der CPU gesetzt wurde. (Bei einer Interrupt-Anerkennung wird dieses zunächst automatisch zurückgesetzt!). Nach einem EOI-Kommando werden alle Ebenen wieder freigegeben, im Auto EOI-Mode sofort nach dem INTA-Zyklus.

  Der Special Fully Nested Mode ist nur anzuwenden, wenn Slave-PIC's angeschlossen sind. In diesem Fall wird eine Ebene, an die ein Slave angeschlossen ist, nicht gesperrt, wenn auf ihr eine Anforderung vorliegt. Dadurch kann derselbe Slave die laufende Interruptroutine unterbrechen, wenn bei ihm eine höherpriorisierte Anforderung vorliegt. Um den Zustand des Slaves zu ermitteln, muß in der Unterbrechungsroutine nach dem Senden eines Specific EOI-Kommandos an den PIC dessen ISR gelesen werden. Ist kein Bit gesetzt, kann auch an den Master-PIC ein EOI-Kommando gesendet werden, andernfalls muß der noch aktive (pending) Interrupt bedient werden.

  Das Beenden eines Interrupts (Rücksetzen des In-Service-Registers) kann entweder automatisch (Auto EOI) oder durch ein Non-Specific EOI-Kommando erfolgen. Um Pending Interrupts erkennen zu können, kann ein Specific EOI-Kommando ausgegeben werden:
  Non-Specific EOI: OCW2 = 2ØH
  Specific EOI: OCW2 = 6XH
  (X ist der Code der entsprechenden Ebene)

- Special Mask Mode:
  Hierbei werden im Gegensatz zum Nested Mode auch niedriger priorisierte Interrupts zugelassen, während eine Unterbrechungsroutine läuft. Dazu muß zunächst die Ebene, die gerade bedient wird, über OCW1 maskiert werden und anschließend über OCW3 der Special Mask Mode eingeschaltet werden.
  Special Mask ein: OCW3 = 68H
  Special Mask aus: OCW3 = 48H

- Auto Rotating Mode:
  In dieser Betriebsart rotieren die Prioritäten automatisch nach jedem EOI-Kommando, indem der gerade bedienten Ebene die niedrigste Priorität zugewiesen wird (z.B. IR5 wurde bedient, dann erhält IR4 höchste Priorität).
  Wird dieser Mode in Verbindung mit dem Auto-EOI-Kommando angewendet, muß er über folgende Steuerworte ein- oder ausgeschaltet werden:
  Auto Rotate ein: OCW2 = 80H
  Auto Rotate aus: OCW2 = 00H

  Ist der Auto-EOI-Mode nicht initialisiert, kann ein Non-specific EOI-Kommando ausgegeben werden, welches eine Rotation bewirkt:
  Non-specific EOI/Rotating: OCW2 = A0H

- Specific Rotating Mode:
  In dieser Betriebsart kann der Programmierer vorgeben, welche Ebene die höchste Priorität haben soll. Die anderen Ebenen reihen sich dann wie nach einer Rotation an, d.h., wenn z.B. IR4 höchste Priorität erhält, folgen dann IR3, 2...IR5 (dabei muß die Ebene angegeben werden, welche die niedrigste Priorität erhalten soll, also IR5). Ein solcher Eingriff kann jederzeit durch ein OCW2 erfolgen, unabhängig vom EOI-Kommando:
  Rotate Priority: OCW2 = CXH
  (X ist der Code der Ebene, die anschließend niedrigste Priorität hat)

  In diesem Fall arbeitet der PIC wie im Nested Mode, nur mit veränderten Prioritäten.
  Es besteht auch die Möglichkeit, das Setzen einer neuen Priorität mit einem EOI-Kommando zu verbinden, das entspricht dann dem Auto Rotating Mode mit dem Unterschied, daß die Priorität mit einem Specific EOI-Kommando vorgegeben wird:

  Specific EOI / Rotate: OCW2 = EXH
  (X ist der Code der Ebene, für die das EOI gilt und die anschließend niedrigste Priorität hat)

6.3.4 Status lesen

Der PIC enthält drei lesbare Statusregister:

- Das IMR (Interrupt Mask Register) zeigt an, welche Ebenen maskiert sind. Es hat das gleiche Format wie das OCW1. Um das IMR zu lesen ist kein OCW3 nötig:
  (1) Von Adresse ØC2H lesen: IMR

- Das IRR (Interrupt Request Register) zeigt an, auf welchen Ebenen Anforderungen vorliegen. Es hat folgendes Format:

	D7							DØ
IRR	IR7	IR6	IR5	IR4	IR3	IR2	IR1	IRØ

IR = 1 : Interruptanforderung aktiv

Um dieses Register zu lesen, muß folgende Operation ausgeführt werden:
(1) Auf Adresse ØCØH schreiben: OCW3 = ØAH
(2) Von Adresse ØCØH lesen: IRR

(Ein ICW1 setzt den Read Status auf das IRR, so daß nach der Initialisierung von der Adresse ØCOH immer das IRR gelesen werden kann, ohne OCW3 zu setzen)

- Das ISR (In Service Register) zeigt an, welche Anforderungen momentan bearbeitet werden und nicht durch EOI beendet wurden. Es hat folgendes Format:

	D7							DØ
ISR	IS7	IS6	IS5	IS4	IS3	IS2	IS1	ISØ

IS = 1 : Interruptanforderung in Bearbeitung

Um dieses Register zu lesen, muß folgende Operation ausgeführt werden:
(1) Auf Adresse ØCØH schreiben: OCW3 = ØBH
(2) Von Adresse ØCØH lesen : ISR

6.3.5 Poll-Mode

Mit Hilfe des PIC können auch Unterbrechungsanforderungen bearbeitet werden, wenn die CPU ohne Iterrupts arbeitet bzw. wenn der PIC in einer Umgebung ohne CPU eingesetzt wird. In diesem Fall muß der PIC abgefragt werden, ob eine Anforderung vorliegt. Dies ist mit Hilfe des Poll-Kommandos möglich. Mit Ausgabe des Poll-Kommandos friert der PIC seinen Interrupt Status bis zum Lesen des Poll Word ein und setzt (wenn eine Anforderung vorlag) das höchstpriorisierte ISR-Bit. Die nächste PIC-Read Operation wirkt wie der 2. /INTA-Impuls d.h., der PIC stellt ein Statuswort mit folgendem Format bereit:

	D7							D0
Poll Word	I	0	0	0	0	P2	P1	P0

I Interrupt 0 - kein Interrupt
1 - Interrupt erkannt

P2-P0 Priorität der anfordernden Ebene (Binärcode)

Folgende Operation ist für diesen Mode erforderlich:
(1) Auf Adresse 0C0H schreiben: OCW3 = 0CH
(2) Von Adresse 0C0H lesen: Poll word
Das Löschen der ISR-Bits erfolgt durch ein EOI-Kommando.

6.4 PIO KR 580 WW 55 A

6.4.1 Initialisierung

Der PIO besitzt insgesamt 24 Ein-/Ausgabeanschlüsse. Diese sind unterteilt in Gruppen zu 2 mal 8 Bit (Kanäle A und B) und 2 mal 4 Bit (Kanal C). Nach einem RESET sind alle Kanäle auf Eingabe geschaltet. Steuerworte können nur geschrieben, aber nicht gelesen werden. Der PIO hat zwei Adreßanschlüsse, A0 und A1. Über diese wird wie folgt zu den Kanälen zugegriffen:

A1	A0	Funktion
0	0	Kanal A
0	1	Kanal B
1	0	Kanal C
1	1	Steuerwort

Tabelle 6.4

Der PIO kann in drei Grundbetriebsarten arbeiten:
Mode 0 - Einfache Ein-/Ausgabe ohne Handshake-Betrieb.
Die Daten werden in den Port geschrieben oder vom Port gelesen. Jeder der vier Kanäle kann als Eingabe oder als Ausgabe arbeiten. Die Ausgänge sind gelatcht, die Eingänge sind nicht gelatcht.

Mode 1 - Ein- oder Ausgabe, gestrobt mit Handshake-Betrieb.
Port A und Port B arbeiten als Eingabe oder Ausgabe. Anschlüsse von Kanal C bilden die zughörigen Steuersignale.

Steuersignale bei Eingabe:
/STB (Strobe), Eingang low-aktiv, lädt Daten in den Eingabelatch.
IBF (Eingabepuffer voll), Ausgang high-aktiv, zeigt an, daß Daten mittels /STB in den Eingabelatch gegeben wurden.
INTR (Interrupt-Request), Ausgang high-aktiv, kann direkt als Interrupt an den PIC gegeben werden. Zeigt an, daß Daten in den PIO-Port eingeschrieben wurden.

Interruptflipflops bei Eingabe:
INTE A gesteuert durch bit set/reset von PC4
INTE B gesteuert durch bit set/reset von PC2

Steuersignale bei Ausgabe:
/OBF (Ausgabepuffer voll), Ausgang low-aktiv, zeigt nach einem CPU-OUT-Befehl an, daß die Daten am Portausgang bereitstehen.
/ACK (Bestätigungseingang), Eingang low-aktiv, informiert den PIO, daß Daten von der Peripherie abgenommen wurden.
INTR (Interrupt-Request), Ausgang high-aktiv, zeigt als Signal für den PIC an, daß die Daten von der Peripherie abgenommen wurden.

Interruptflipflops bei Ausgabe:
INTE A gesteuert durch bit set/reset von PC6
INTE B gesteuert durch bit set/reset von PC2

Die Belegung am Port C ist bei Mode 1 wie folgt:

Port A	Port B	C0	C1	C2	C3	C4	C5	C6	C7
IN	IN	INTRB	IBFB	/STBB	INTRA	/STBA	IBFA	I/O	I/O
OUT	OUT	INTRB	/OBFB	/ACKB	INTRA	I/O	I/O	/ACKA	/OBFA
IN	OUT	INTRB	/OBFB	/ACKB	INTRA	/STBA	IBFA	I/O	I/O
OUT	IN	INTRB	IBFB	/STBB	INTRA	I/O	I/O	/ACKA	/OBFA

Tabelle 6.5

Mode 2 - Kanal A bidirektional, mit Handshake-Betrieb.
Kanal B kann in Mode 0 oder Mode 1 arbeiten, Belegung der Steuersignale für Kanal B wie in Tabelle 6.2.

Steuersignale für bidirektionalen Kanal A:
/STB Funktion wie bei Mode 1
IBF Funktion wie bei Mode 1
/OBF Funktion wie bei Mode 1
/ACK Eingang low-aktiv, bewirkt, daß der Port A des PIO vom hochohmigen in den aktiven Zustand schaltet. Während /ACK können die Daten vom Port A durch die Peripherie abgenommen werden.
INTR Ausgang high-aktiv, löst Interrupt bei Eingabe und bei Ausgabe aus.

Interruptflipflops:
INTE1 gesteuert durch set/reset von PC6, korrespondiert mit OBF.
INTE2 gesteuert durch set/reset von PC4, korrespondiert mit IBF.

Die Belegung von Port C ist für Kanal A im Mode 2 wie folgt:

C3	C4	C5	C6	C7
INTR	/STB	IBF	/ACK	/OBF

Tabelle 6.6

Das Setzen bzw. Rücksetzen der INTE Flipflops bewirkt, daß der PIO Interrupt auslöst bzw. keinen Interrupt bewirkt. Der INTR-Ausgang, der mit dem PIC verbunden ist, wird dann high-aktiv oder bleibt low.

Alle Betriebsarten der drei Kanäle und deren Kombinationen werden mit einem einzigen Steuerwort programmiert:

Format des Steuerworts: D7 D6 D5 D4 D3 D2 D1 D0.

D7 = 1 Kennzeichnung für Steuerwort zum Setzen der Betriebsart

D6	D5	Funktion
0	0	Kanal A, Mode 0
0	1	Kanal A, Mode 1
1	x	Kanal A, Mode 2

D4	Funktion
0	Kanal A, Ausgabe
1	Kanal A, Eingabe

D3	Funktion
0	C4-C7, Ausgabe
1	C4-C7, Eingabe

D2	Funktion
0	Kanal B, Mode 0
1	Kanal B, Mode 1

D1	Funktion
0	Kanal B, Ausgabe
1	Kanal B, Eingabe

D0	Funktion
0	C0-C3, Ausgabe
1	C0-C3,Eingabe

Tabelle 6.7

Die Bits im Kanal C können mit einem Bit-Steuerwort einzeln gesetzt oder gelöscht werden. Dazu muß ein Steuerwort mit D7 = 0 an den PIO gesendet werden. Die übrigen Bits haben folgende Funktion:

D0	Funktion
0	Bit löschen
1	Bit setzen

D4, D5, D6 haben keine Funktion.

D3	D2	D1	Funktion
0	0	0	Bit C0
0	0	1	Bit C1
0	1	0	Bit C2
0	1	1	Bit C3
1	0	0	Bit C4
1	0	1	Bit C5
1	1	0	Bit C6
1	1	1	Bit C7

Tabelle 6.8

6.4.2 Datenübertragung

Nach Initialisierung des PIO im Mode 0 stehen die Kanäle A, B und C zur Ein- oder Ausgabe bereit. Bei Eingabe liest die CPU die Daten ein, die während des /IORC-Kommandos am Port anliegen. Bei Ausgabe liegen die von der CPU gesendeten Daten nach dem /IOWC-Kommando am Port an, bis eine neue Ausgabe erfolgt.
Nach Initialisierung im Mode 1 liegt Handshake-Betrieb vor.
Bei Eingabe werden die Daten von der Peripherie mit der Rückflanke eines aktiven /STB-Signals in den Port eingeschrieben. Das vom PIO gelieferte Signal IBF wird high. Nachdem die CPU mit einem Input-Befehl die Daten vom Port gelesen hat, wird IBF wieder low und zeigt der Peripherie an, daß ein neues Datenbyte an den PIO gesendet werden kann.
Bei Ausgabe schreibt die CPU Daten in den Port des PIO. Ein low-aktives /OBF-Signal zeigt der Peripherie an, daß die Daten zur Abnahme bereitstehen. Mit einem aktiven /ACK-Signal bestätigt die Peripherie die Übernahme der Daten. Danach legt der PIO das Signal /OBF wieder auf high.
Die CPU kann den Datenverkehr über Interrupt oder durch Lesen und Austesten des Kanals C abwickeln.
Im bidirektionalen Mode 2 ist die Handshake-Funktion der Steuersignale wie im Mode 1. Um Datenkollisionen mit der Peripherie zu vermeiden, legt der PIO seine Ausgabedaten nur während aktivem /ACK-Signal auf den Ausgabeport. Bei Mode 1 und Mode 2 können alle Handshake-Steuersignale durch eine CPU-Leseoperation von Kanal C zur weiteren Verarbeitung der CPU zugänglich gemacht werden. Das gilt auch für die Signale INTRA und INTRB. Damit können beide INTR-Signale durch ein zweifach ODER zusammengefaßt und auf einen PIC-Eingang gegeben werden.
Freie Bits im Kanal C können durch die Bit-Set/Reset-Funktion beschrieben werden. Als Eingabe kann ein normales Lesen vom Kanal C dienen.
Die Port-Ausgänge des PIO treiben eine TTL-Last. Insgesamt acht Ausgänge, von Kanal B und Kanal C beliebig ausgewählt, können bei 1,5 V einen Strom von 1 mA liefern. Damit können direkt Darlington-Stufen getrieben werden. Die belasteten acht Ausgänge werden nicht durch Software ausgewählt.

7. Montage und Installation

Die Module sind vorzugsweise in senkrechter Einbaulage (Steckverbinder senkrecht) anzuordnen, um die erforderliche Wärmeabfuhr zu gewährleisten, damit die Oberflächentemperatur +70 grd C nicht übersteigt.
Montage und Installation hat unter Einhaltung der Sicherheitsbestimmungen durch befugte und qualifizierte Fachkräfte zu erfolgen.

8. Wartung und Instandsetzung

Die Module sind bei Einhaltung der vorgeschriebenen Einsatzbedingungen wartungsfrei. Im Ausnahmefall erforderlich werdende Reparaturen dürfen nur von befugten und qualifizierten Fachkräften mit entsprechenden Prüfmitteln, Prüfprogrammen und Werkzeugen unter Beachtung der Sicherheitsbestimmungen durchgeführt werden.

SLKZ	BENENNUNG	SACHNUMMER	BEMERKUNGEN
C1-4	T-KONDENSATOR	0,22/35 TGL38965	0.22UF;35V;WIE C7 C9,C11,C13-14,C16 -17,C20-21,C23-25 C28,C30-35,C37-38 C40-51,C53-55
C5-6	ELYTKONDENSATOR	47/10 A TGL38928	47UF;10V;WIE C8, C10,C12,C15,C18- 19,C22,C27,C29, C39
C7	WIE C1		
C8	WIE C5		
C9	WIE C1		
C10	WIE C5		
C11	WIE C1		
C12	WIE C5		
C13-14	WIE C1		
C15	WIE C5		
C16-17	WIE C1		
C18-19	WIE C5		
C20-21	WIE C1		
C22	WIE C5		
C23-25	WIE C1		
C26	KONDENSATOR	EDVU-V -1 /20 - 63 TGL35781	1NF;63V
C27	WIE C5		
C28	WIE C1		
C29	WIE C5		
C30-35	WIE C1		
C36	KONDENSATOR	EDVU-N1500-100 /5 - 63 TGL35780	100PF;63V
C37-38	WIE C1		
C39	WIE C5		
C40-51	WIE C1		
C52	ELYTKONDENSATOR	47/25 A TGL38928	47UF;25V
C53-55	WIE C1		
CQ1	SCHWINGQUARZ	MQ 02 15000 TGL43380	15000 KHZ
CQ2	SCHWINGQUARZ	MQ 12 9830,4 TGL43380	9830,4 KHZ
D1-5	SCHALTKREIS	DS 8286 D TGL42622	
D6-7	SCHALTKREIS	DS 8282 D TGL42623	
D8	SCHALTKREIS	K 531 IR 22 P	
D10-12	SCHALTKREIS	DS 8287 D TGL42622	
D13-15	SCHALTKREIS	DS 8283 D TGL42623	
D16	SCHALTKREIS	P 8289	
D17	SCHALTKREIS	P 8288	WIE D24
D24	WIE D17		
D25	SCHALTKREIS	P 8284 A	

SLKZ	BENENNUNG	SACHNUMMER	BEMERKUNGEN
D26	SCHALTKREIS	MH 74S37	
D27	SCHALTKREIS	K 531 LA 16P	
D28	SCHALTKREIS	MH 74S04	
D29	SCHALTKREIS	MH 74S20	
D30	SCHALTKREIS	DL 155 D TGL43292	WIE D42,D50
D31	SCHALTKREIS	DL 074 D TGL 39865	
D32	SCHALTKREIS	DL 002 D TGL39865	WIE D39
D33	SCHALTKREIS	D 8086	
D35	SCHALTKREIS	P 8259 A	
D36	SCHALTKREIS	7406 PC	WIE D46
D37	SCHALTKREIS	DL 020 D TGL39865	
D38	SCHALTKREIS	DL 004 D TGL39865	WIE D45,D48
D39	WIE D32		
D40-41	SCHALTKREIS	KR 580 WW 51 A	
D42	WIE D30		
D43	SCHALTKREIS	DL 008 D TGL39865	
D44	SCHALTKREIS	DL 093 D TGL43205	
D45	WIE D38		
D46	WIE D36		
D47	SCHALTKREIS	DL 032 D TGL43606	WIE D51
D48	WIE D38		
D49	SCHALTKREIS	DL 000 D TGL39865	
D50	WIE D30		
D51	WIE D47		
D52-53	SCHALTKREIS	KR 580 WW 55 A	
D54	SCHALTKREIS	KR 580 WI 53	
F1	SCHMELZEINSATZ	F6,3 TGLO-41571/01	
R1	SWF	47/5/25.207.1 TGL8728	0.3W;WIE R5,R18
R2	SWF	100/5/25.207.1 TGL8728	0.3W
R3	SWF	10K/5/25.207.1 TGL8728	0.3W
R4	SWF	2,2K/5/25.207.1 TGL8728	0.3W;WIE R7,R12, R14,R19-20
R5	WIE R1		
R6	SWF	270/5/25.207.1 TGL8728	0.3W;WIE R21,R26, R30-31
R7	WIE R4		
R8-9	SWF	510/5/25.207.1 TGL8728	0.3W
R10-11	SWF	330/5/25.207.1 TGL8728	0.3W
R12	WIE R4		
R13	SWF	1K/5/25.207.1 TGL8728	0.3W;WIE R17
R14	WIE R4		
R15-16	SWF	4,7K/5/25.207.1 TGL8728	0.3W
R17	WIE R13		
R18	WIE R1		
R19-20	WIE R4		
R21	WIE R6		
R22-23	SWF	430/5/25.207.1 TGL8728	0.3W;WIE R25,R27
R24	SWF	470/5/25.207.1	0.3W;WIE R28

SLKZ	BENENNUNG	SACHNUMMER	BEMERKUNGEN
		TGL8728	
R25	WIE R22		
R26	WIE R6		
R27	WIE R22		
R28	WIE R24		
R29	SWF	22/5/25.207.1 TGL8728	0.3W;WIE R32
R30-31	WIE R6		
R32	WIE R29		
U1	OPTOKOPPLER	MB 104/5D TGL36609	WIE U3
U2	OPTOKOPPLER	MB 111 TGL35171	WIE U4
U3	WIE U1		
U4	WIE U2		
V1-5	DIODE	SAY17 L2/4 TGL25184	
X1-2	STECKERLEISTE	C96-102 TGL 43887	
X3-4	BUCHSENLEISTE	203-25 EBS-G04006/01-2V	
X5-7	BUCHSENLEISTE	201-9 EBS-G0 4006/01-2V	
XB1-25	EINLOETKONTAKT	F1 TGL 32587/01	168 STCK
XM1	EINLOETKONTAKT	F1 TGL 32587/01	

CARL ZEISS
JENA

Kombinat
VEB Carl Zeiss JENA
Carl-Zeiss-Str.1
Jena
DDR-6900

Druckschriften-Nr. **25-G003-1**

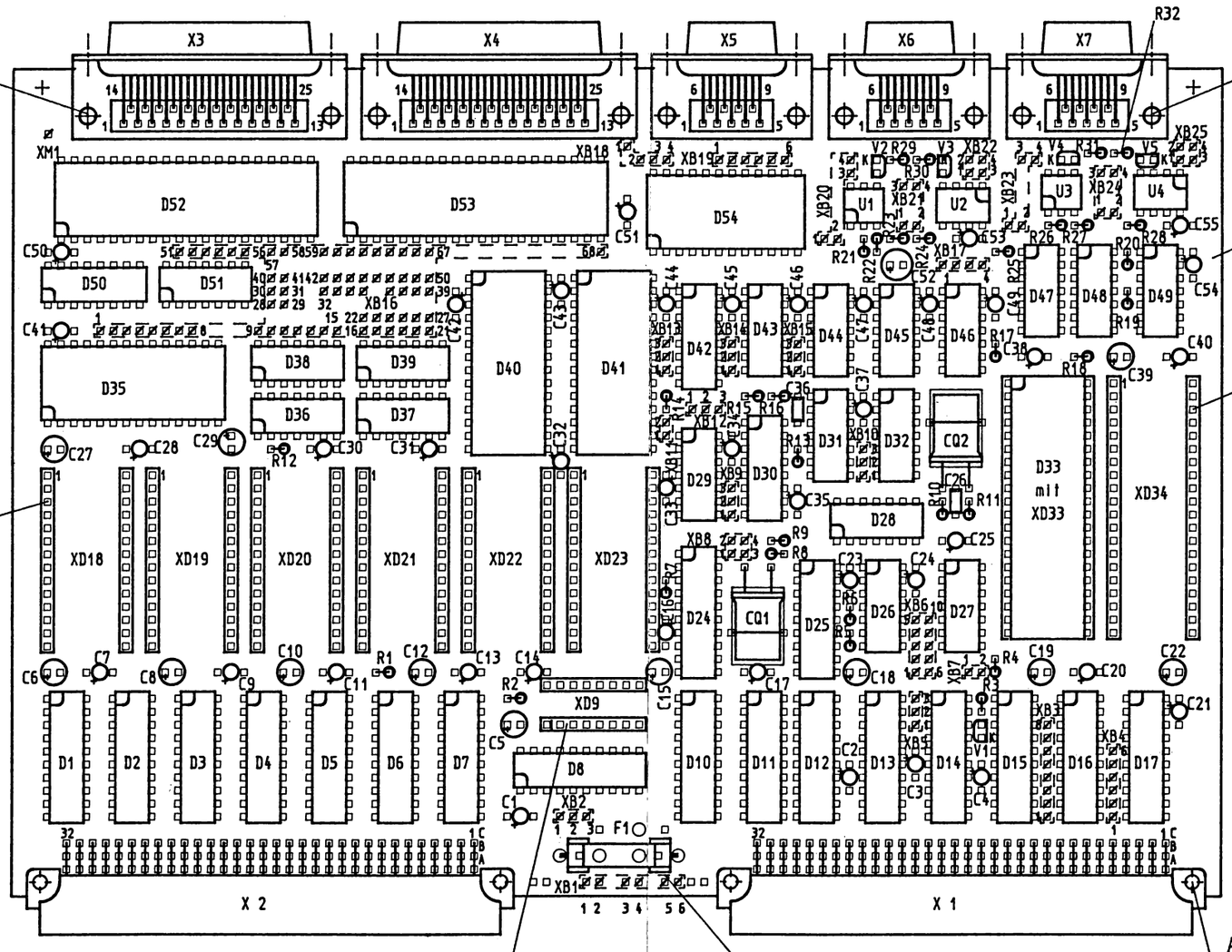
M(p)G-7-037-90 V-14-6 0,2 9811

M3 TGL 0-934-6,Zn
3,2 TGL 0-125-St,Zn
203-25 EBS-G0 4006/01-2V

3,2 TGL 17774-P
M3x10 TGL 0-85-5.8 Zn

M3 TGL 0-934-6,Zn
3,2 TGL 0-125-St,Zn
201-9 EBS-G0 4006/01-2V

3,2 TGL 17774-P
M3x10 TGL 0-85-5.8 Zn



142.53(3)

CQ1 und CQ2 auf
37 04 86:455.10(4)
montiert und mit
Y1x0,5-ws TGL 21806,
je 25 lg,befestigt

* ≙ 916-32 TGL 43787
(3 Stück)

SLKZ	Fassung geteilt in:
XD9	2 x 8-polig
XD18-23	je 2 x 14-polig
XD33-34	je 2 x 20-polig

B1 TGL 200-3623
051.10(4) untergelegt

A2,5x0,25x10 TGL 0-7340-Ms
C96-102 TGL 43887
2,7 TGL 17774-P

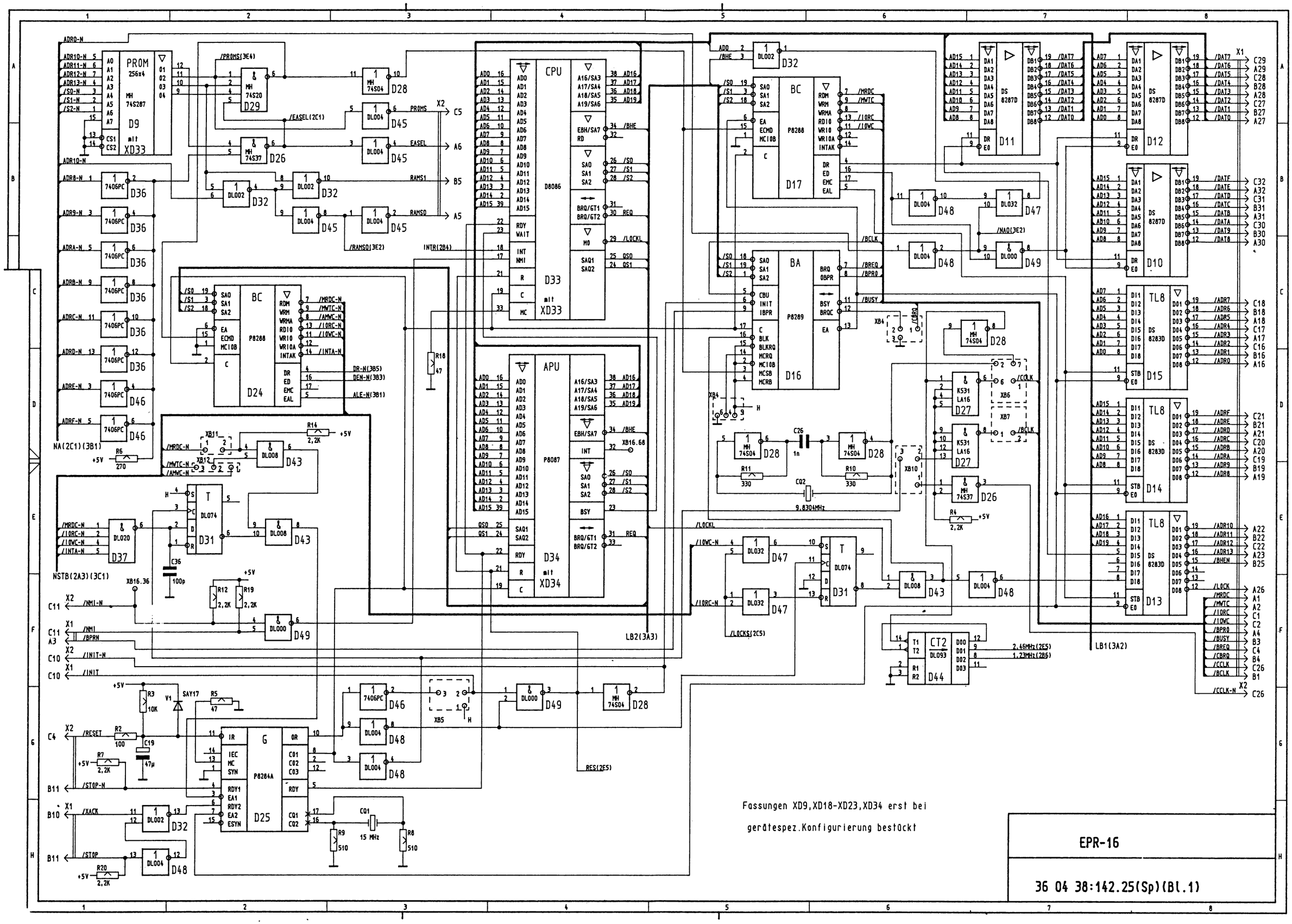
alle stehenden R mit
F11 FWB-N506.431 bestückt
(32 Stück)

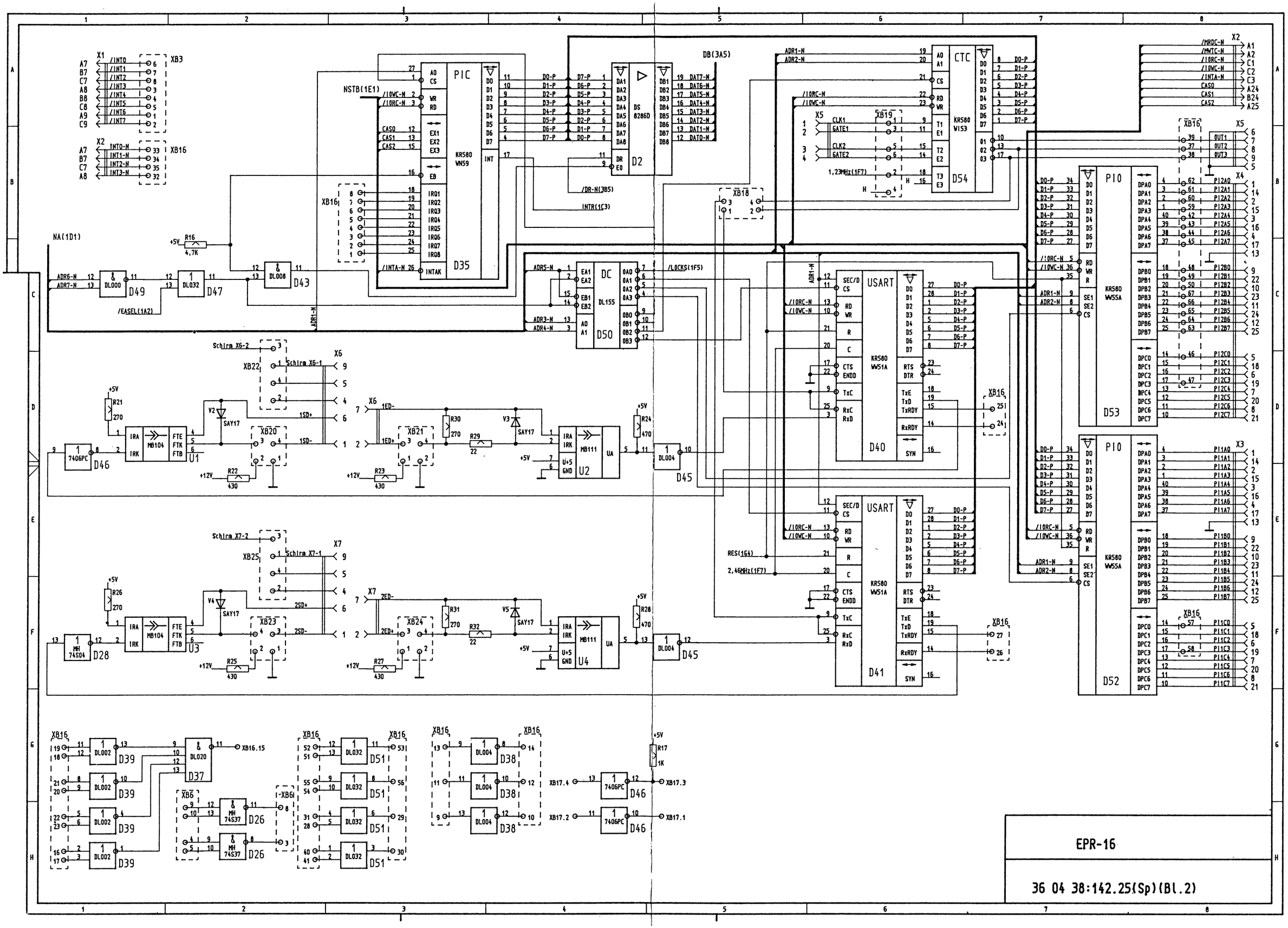
⌀ ≙ F1 TGL 32587/01
(169 Stück)

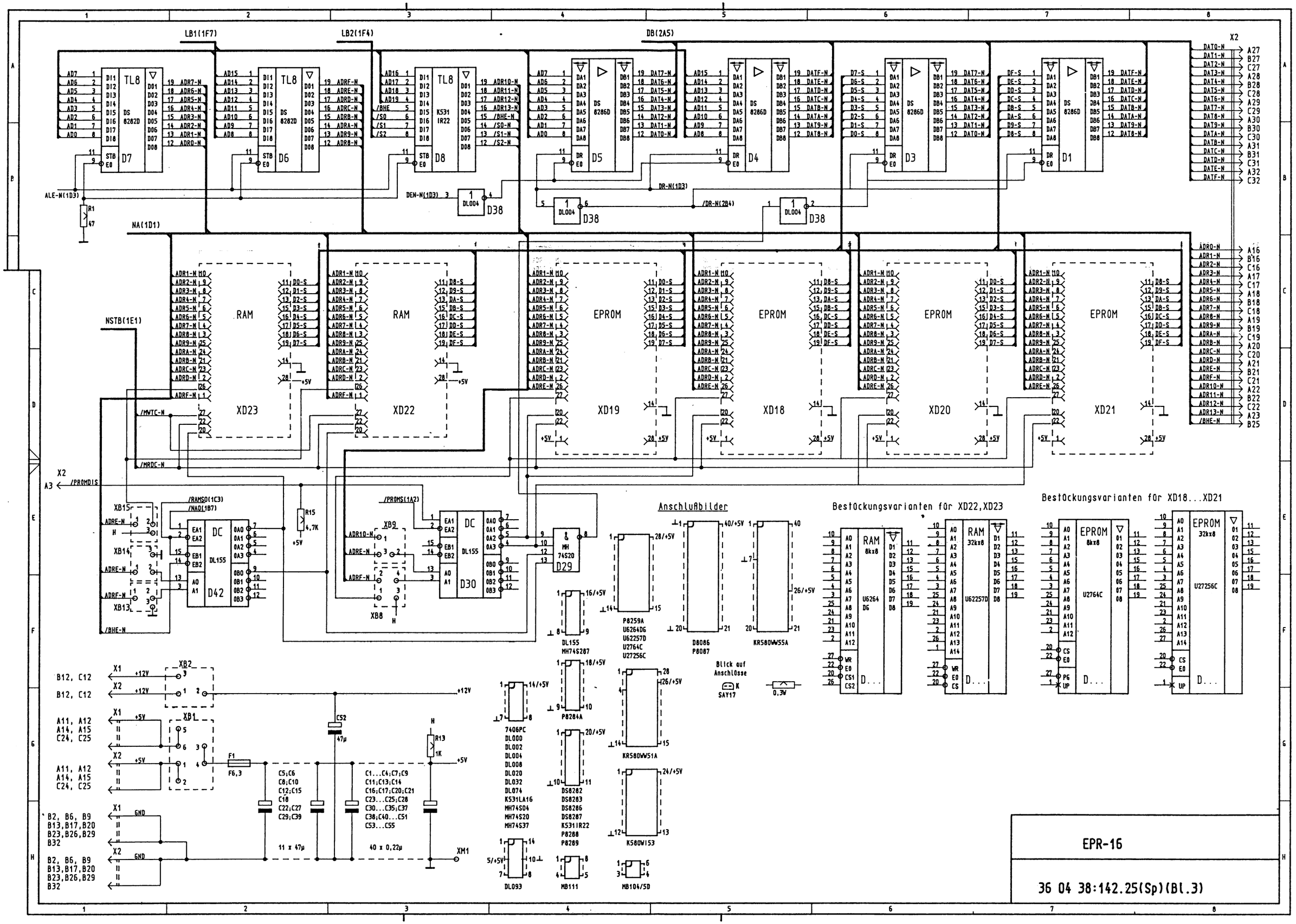
Schaltteile siehe: 142.25(Sl)

EPR - 16

36 04 38:142.25


PROM 256x4
MH 74S287
D9
XD33
CPU
D8086
D33
APU
P8087
D34
XD34
BC
P8288
D17
D24
BA
P8289
D16
DS 8287D
D11
D12
D10
TL8
DS 8283D
D15
D14
D13
T
DL074
D31
CT2
DL093
D44
G
P8284A
D25
Fassungen XD9,XD18-XD23,XD34 erst bei
gerätespez.Konfigurierung bestückt
EPR-16
36 04 38:142.25(Sp)(Bl.1)


PIC
KR580 WN59
D35
DS 8286D
D2
DC DL155
D50
CTC
KR580 WI53
D54
USART
KR580 WV51A
D40
D41
PIO
KR580 WV55A
D53
D52
D43
D47
D49
D45
D46
D28
D26
D37
D39
D51
D38
U1
U2
U3
U4
NSTB(1E1)
NA(1D1)
DB(3A5)
/LOCKS(1F5)
INTR(1C3)
/DR-N(3B5)
RES(1G4)
2,46MHz(1F7)
1,23MHz(1F7)
Schirm X6-1
Schirm X6-2
Schirm X7-1
Schirm X7-2
XB16.15
XB17.1
XB17.2
XB17.3
EPR-16
36 04 38:142.25(Sp)(Bl.2)


LB1(1F7)
LB2(1F4)
DB(2A5)
X2
TL8
DS 8282D
D7
D6
K531 IR22
D8
DS 8286D
D5
D4
D3
D1
DL004
D38
ALE-N(1D3)
R1
47
DEN-N(1D3)
DR-N(1D3)
/DR-N(2B4)
NA(1D1)
NSTB(1E1)
RAM
XD23
XD22
EPROM
XD19
XD18
XD20
XD21
/MWTC-N
/MRDC-N
/PROMDIS
/RAMS0(1C3)
/NA0(1B7)
/PROMS(1A2)
XB15
XB14
XB13
XB9
XB8
DC
DL155
D42
D30
R15
4,7K
MH 74S20
D29
Anschlußbilder
P8259A
U62640G
U62257D
U2764C
U27256C
D8086
P8087
KR580WS5A
Blick auf Anschlüsse
SAY17
0,3V
Bestückungsvarianten für XD22,XD23
RAM 8kx8
U6264 D6
RAM 32kx8
U62257D
Bestückungsvarianten für XD18...XD21
EPROM 8kx8
U2764C
EPROM 32kx8
U27256C
XB2
XB1
F1
F6,3
CS2
47µ
R13
1K
C5;C6
C8;C10
C12;C15
C18
C22;C27
C29;C39
11 x 47µ
C1...C4;C7;C9
C11;C13;C14
C16;C17;C20;C21
C23...C25;C28
C30...C35;C37
C38;C40...C51
C53...C55
40 x 0,22µ
XM1
7406PC
DL000
DL002
DL004
DL008
DL020
DL032
DL074
K531LA16
MH74S04
MH74S20
MH74S37
DL093
DL155
MH74S287
P8284A
DS8282
DS8283
DS8286
DS8287
K531IR22
P8288
P8289
MB111
KR580WS1A
K580WI53
MB104/5D
B12, C12
A11, A12
A14, A15
C24, C25
B2, B6, B9
B13,B17,B20
B23,B26,B29
B32
EPR-16
36 04 38:142.25(Sp)(Bl.3)